

ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE BILBAO

BILBOKO INGENIARITZA GOI ESKOLA TEKNIKOA

PROYECTO

DE

DISEÑO E IMPLEMENTACION DE UN PROTOTIPO
DE CABECERA BASADA EN DIGITALIZACIÓN
SUBNIQUIST PARA RECEPCIÓN DE DRM

REFERENCIA: **DOCUMENTO nº 1**

TÍTULO: **MEMORIA**

Alumno *Sanabria Martín, Sergio José*

Fecha *Agosto 2007*

Firma

Director del Proyecto

Sr. Eizmendi

Curso Académico

2006-2007

A mis **padres**, a mi **hermano**, y a **Sandra**,
por vuestra confianza y apoyo sin condiciones,
que es mi energía para seguir adelante.

A mis **amigos**, **compañeros** y **profesores**,
que con vuestra paciencia y ayuda
habéis hecho esto posible.

DATOS BÁSICOS DEL PROYECTO

Alumno: Sergio José Sanabria Martín

Director: Iñaki Eizmendi Izquierdo

Departamento: 00147 Electrónica y Telecomunicaciones

Título del Proyecto:

DISEÑO E IMPLEMENTACIÓN DE UN PROTOTIPO DE CABECERA BASADA EN DIGITALIZACIÓN SUBNIQUIST PARA RECEPCIÓN DE DRM

Fecha de comienzo del proyecto:

Febrero de 2006

Fecha prevista de finalización:

Julio de 2007

Resumen:

En el marco de la digitalización de las radiocomunicaciones, la emergente norma DRM (*"Digital Radio Mondiale"*) [2] define la digitalización de las emisiones en la banda de radiodifusión AM. En las fases previas a su explotación comercial es preciso el desarrollo de receptores de instrumentación para llevar a cabo campañas de medida sobre el terreno.

El proyecto que se presenta tiene como objetivo el diseño y la implementación de un prototipo de cabecera para la recepción de señal DRM en tiempo real, minimizando el procesamiento analógico mediante la digitalización subniquist de la banda AM completa. Se enmarca dentro de una línea de investigación más amplia del Departamento que pretende desarrollar un receptor DRM completo.

Palabras clave o descriptores (inglés):

Undersampling, Receiver, Frontend, Aliasing

Palabras clave o descriptores (castellano):

DRM, Cabecera, Digital, Ethernet, Receptor, DSP, Inframuestreo, Subniquist, Radio, Solapamiento

SUMARIO

A continuación se presentan los diferentes volúmenes de los que se compone la documentación del proyecto y se resumen los aspectos tratados en cada uno de ellos.

Memoria

Es el punto de partida en la lectura de la documentación del proyecto. Se justifica la necesidad del proyecto y se exponen los objetivos y requerimientos iniciales, así como los beneficios que reporta. A continuación se lleva a cabo una descripción general del diseño, explicando las principales alternativas evaluadas, y la solución elegida. También se incluye información sobre la distribución en el tiempo de las tareas desarrolladas, y un presupuesto con los costes derivados del proyecto. Finalmente se analizan los resultados y conclusiones obtenidas respecto a los objetivos iniciales. La memoria del proyecto se desarrolla en el presente documento.

Especificaciones técnicas

En este documento se lleva a cabo una pequeña descripción del sistema DRM. A partir de esta información y otros documentos anteriores al proyecto se proporciona información sobre las especificaciones de señales a la entrada y salida de la cabecera. También se justifican unos objetivos de calidad ideales y mínimos para la señal a la salida de la cabecera, que sirven de referencia para el diseño del resto de documentos.

Diseño del modelo teórico de procesamiento de señal

Este documento aborda la problemática de la digitalización subnyquist desde un punto de vista teórico, analizando la información existente, y planteando un modelo analítico general para un sistema de inframuestreo. A continuación se particulariza el análisis para la cabecera DRM a diseñar, planteando los bloques más importantes de procesamiento de señal necesarios, y sus especificaciones generales. Finalmente se valida el modelo mediante simulación. Este documento sirve de base para los volúmenes de Diseño Hardware y Software del prototipo.

Diseño Hardware del prototipo

Este es un documento técnico que describe el diseño e implementación de dos tarjetas electrónicas que contienen las etapas de procesamiento analógico del prototipo de cabecera y los sistemas necesarios para digitalizar la señal y transmitir la información procesada a un equipo demodulador.

Diseño Software del prototipo

En este volumen se explica el desarrollo de un programa informático que constituye la parte lógica del prototipo, implementando las diferentes etapas de procesamiento digital requeridas, y controlando el funcionamiento de todos los módulos de la cabecera.

Especificación de un protocolo de comunicación entre la cabecera DRM y un equipo demodulador SW

Este documento describe las características de transmisión de datos y configuración remota de la cabecera por parte de un equipo demodulador, suponiendo un estándar común de referencia para el resto de modelos de cabecera DRM en desarrollo o a diseñar en el futuro dentro del grupo de investigación TSR [3].

Pruebas de validación

En esta parte de la documentación se describen las principales pruebas realizadas sobre el prototipo implementado para validar el cumplimiento de los objetivos del proyecto, describiéndose además los resultados obtenidos.

Manual de usuario

Este documento incluye las especificaciones técnicas del prototipo construido, así como información sobre su manejo, destinada tanto a los responsables del desarrollo del demodulador software como a un diseñador que pretenda ampliar el diseño de la cabecera.

Anexos

Es un entregable en formato electrónico que incluye planos de diseño, códigos y ejecutables de las aplicaciones informáticas desarrolladas, junto con otras informaciones adicionales de interés sobre los elementos utilizados en el proyecto.

ÍNDICE DE CONTENIDOS:

Índice de contenidos:	i
Índice de figuras:	iv
Índice de tablas:.....	v
Índice de ecuaciones:	vi
1.- Introducción	1
2.- Definiciones, símbolos y abreviaturas.....	2
2.1.- Definiciones.....	2
2.2.- Símbolos y notación	3
2.3.- Abreviaturas	3
3.- Motivación del proyecto	4
3.1.- Introducción	4
3.2.- Marco del proyecto	5
3.3.- Antecedentes. Estado del arte.....	5
4.- Objetivos.....	6
4.1.- Objetivos principales.....	6
4.2.- Objetivos secundarios	7
5.- Beneficios.....	8
5.1.- Beneficios técnicos.....	8
5.2.- Beneficios económicos	9
5.3.- Beneficios sociales	10
6.- Requerimientos del proyecto	11
6.1.1.- Requerimientos exigibles del proyecto por parte del cliente	11
6.1.2.- Requerimientos deseables del proyecto por parte del alumno.....	12
7.- Selección de la solución	13
7.1.- Descripción general.....	13

7.1.1.- Módulo de procesado analógico	13
7.1.2.- Módulo ADC.....	15
7.1.3.- Módulo de procesado digital.....	15
7.1.4.- Módulo de comunicaciones	16
7.1.5.- Protocolo de comunicaciones.....	17
7.2.- Alternativas.....	18
7.2.1.- Módulo de procesado analógico	18
7.2.2.- Módulo ADC.....	20
7.2.3.- Módulo de procesado digital: Arquitectura hardware	22
7.2.4.- Módulo de procesado digital: Arquitectura software.....	23
7.2.4.1.- Ubicación del módulo de Control del Sistema	23
7.2.4.2.- Arquitectura de gestión de eventos del programa.....	24
7.2.5.- Módulo de comunicaciones: Arquitectura software	26
7.2.6.- Protocolo de comunicaciones.....	28
7.3.- Criterios de evaluación de alternativas y selección	30
7.3.1.- Módulo de procesado analógico	30
7.3.2.- Módulo ADC.....	31
7.3.3.- Módulo de procesado digital: Arquitectura hardware	31
7.3.4.- Módulo de procesado digital: Arquitectura software.....	32
7.3.4.1.- Ubicación del módulo de Control del Sistema	32
7.3.4.2.- Arquitectura de gestión de eventos del programa.....	32
7.3.5.- Módulo de comunicaciones: Arquitectura software	33
7.3.6.- Protocolo de comunicaciones.....	34
8.- Descripción de la solución. Resumen del diseño	35
8.1.- Descripción Hardware de la cabecera digital	35
8.1.1.- Solución para el módulo de procesado analógico.....	37
8.1.2.- Solución para el módulo ADC.....	38
8.2.- Descripción Software de la cabecera digital.....	39
8.2.1.- Solución para el módulo de procesado digital de señal	40
8.2.2.- Solución para el módulo de comunicaciones y control del sistema.....	41
8.3.- Descripción del protocolo de comunicaciones	42
8.4.- Planos resumidos del diseño	42
9.- Plan de trabajo.....	43
9.1.- Fases de realización del proyecto.....	43
9.2.- Equipo y régimen de trabajo	43
9.3.- Plazos para la realización del proyecto.....	44

9.4.- Definición de paquetes de trabajo y tareas	45
9.4.1.- Siglas utilizadas:.....	45
9.4.2.- Descripción de paquetes de trabajo y tareas asociadas	45
9.4.2.1.- Primera Fase: Comunicaciones.....	45
9.4.2.2.- Segunda Fase: Procesado de señal.....	47
9.4.2.3.- Aspectos comunes a las dos fases de realización.....	49
9.5.- Hitos en el proyecto	50
9.6.- Lista de unidades de entrega.....	50
9.6.1.- Primera Fase: Módulo de Comunicaciones	50
9.6.2.- Segunda Fase: Módulo de Procesado Analógico	51
9.6.3.- Documentos relativos a la gestión del proyecto.....	51
9.7.- Distribución de las tareas a lo largo del tiempo.....	52
9.7.1.- Primera fase: Diagrama Gantt.....	52
9.7.2.- Segunda fase: Diagrama Gantt	53
10.- Medios y técnicas básicas	54
10.1.- Recursos necesarios	54
10.1.1.- Hardware.....	54
10.1.2.- Software.....	54
10.2.- Medios disponibles	55
11.- Presupuesto	56
11.1.- Costes unitarios.....	56
11.1.1.- Recursos humanos.....	56
11.1.2.- Recursos materiales.....	57
11.2.- Mediciones y cálculo del presupuesto.....	58
11.2.1.- Costes en recursos humanos	58
11.2.1.1.- Costes de la primera fase de realización: Comunicaciones.....	58
11.2.1.2.- Costes de la segunda fase de realización: Procesado de señal	59
11.2.1.3.- Costes comunes a todo el proyecto.....	60
11.2.1.4.- Costes totales	60
11.2.2.- Costes en recursos materiales	61
11.3.- Resumen final del presupuesto.....	62
12.- Conclusiones	63
12.1.- Líneas de trabajo futuras	65
13.- Referencias	66
14.- Anexos	67

ÍNDICE DE FIGURAS:

Figura 1: Diagrama de bloques básico del sistema	13
Figura 2: Problemática de las bandas de transición de los filtros	14
Figura 3: Módulo de procesado analógico	14
Figura 4: Módulo ADC	15
Figura 5: Módulo de procesado digital – Hardware	15
Figura 6: Módulo de procesado digital – Software	16
Figura 7: Módulos hardware para el Control del módulo de comunicaciones	16
Figura 8: Módulos software para el Control del módulo de comunicaciones	17
Figura 9: Pila de protocolos a implementar	18
Figura 10: Lógica de conmutación de filtros con multiplexor digital.	18
Figura 11: Lógica de conmutación de filtros con banco de relés.	19
Figura 12: Generación analógica de la frecuencia de muestreo	20
Figura 13: Generación digital de la frecuencia de muestreo	21
Figura 14: Módulo de comunicaciones con gestión dependiente de los interfaces de tx y rx.	27
Figura 15: Prototipo implementado de la cabecera DRM	35
Figura 16: Diagrama de bloques hardware de la cabecera digital	36
Figura 17: Solución para el módulo de procesado analógico	37
Figura 18: Filtros analógicos requeridos para acometer el diseño en tiempo real	37
Figura 19: Solución para el módulo ADC	38
Figura 20: Diagrama de bloques software de la cabecera digital	39
Figura 21: Solución para el módulo de procesado digital de señal	40
Figura 22: Solución para el módulo de comunicaciones y control del sistema	41
Figura 23: Solución para el protocolo de comunicaciones	42
Figura 24: Diagrama Gantt para la primera fase de realización del proyecto.	52
Figura 25: Diagrama Gantt para la segunda fase de realización del proyecto	53
Figura 26: Especificación de la señal de salida de la cabecera	69
Figura 27: Fundamento teórico del Inframuestreo (fuente [10])	70
Figura 28: Resumen del diseño hardware completo de la cabecera	72
Figura 29: Diseño software completo de la cabecera	73

ÍNDICE DE TABLAS:

Tabla 1: Definición de conceptos y convecciones usadas en el documento	2
Tabla 2: Símbolos usados en el documento	3
Tabla 3: Abreviaturas utilizadas en el documento	3
Tabla 4: Requerimientos deseables del proyecto por parte del alumno	12
Tabla 5: Estudio del arte de arquitecturas de procesado (a fecha de entrega del documento)	22
Tabla 6: Selección de alternativa para el multiplexor	30
Tabla 7: Selección de alternativa para la generación de la frecuencia de muestreo.	31
Tabla 8: Selección de alternativa para la ubicación del módulo de control del sistema	32
Tabla 9: Selección de alternativa para la arquitectura de gestión de eventos del programa.	33
Tabla 10: Selección de alternativa para arquitectura software del módulo de comunicaciones	34
Tabla 11: Selección de alternativa para el protocolo de comunicaciones	34
Tabla 12: Integrantes del equipo de trabajo	43
Tabla 13: Régimen de trabajo para el Proyecto	44
Tabla 14: Plazos para la realización del proyecto.	44
Tabla 15: Hitos en el proyecto	50
Tabla 16: Entregables para la primera fase de realización	50
Tabla 17: Entregables para la segunda fase de realización	51
Tabla 18: Documentos relativos a la gestión del proyecto	51
Tabla 19: Costes unitarios totales para los recursos humanos (PVP sin IVA)	56
Tabla 20: Costes unitarios totales de los recursos materiales amortizables (PVP sin IVA)	57
Tabla 21: Costes totales de material fungible (PVP sin IVA)	57
Tabla 22: Presupuesto recursos humanos primera fase (PVP sin IVA)	58
Tabla 23: Presupuesto recursos humanos segunda fase (PVP sin IVA)	60
Tabla 24: Presupuesto recursos humanos costes comunes (PVP sin IVA)	60
Tabla 25: Presupuesto total en recursos humanos (PVP sin IVA)	60
Tabla 26: Presupuesto total en recursos materiales (PVP sin IVA)	61
Tabla 27: Resumen final del presupuesto	62
Tabla 28: Resumen de objetivos del proyecto y su cumplimiento	63
Tabla 29: Resumen de requerimientos impuestos por el cliente y cumplimiento.	64
Tabla 30: Resumen de objetivos de calidad para la señal recibida (*: hasta 25.6MHz)	64
Tabla 31: Especificaciones de la señal de salida de la cabecera digital	68

ÍNDICE DE ECUACIONES:

Ecuación 1: Relación de Nyquist para señal en Banda Base	69
Ecuación 2: Espectro de una señal digital	70

1.- INTRODUCCIÓN

En este documento se presenta el Proyecto de Fin de Carrera “DISEÑO E IMPLEMENTACIÓN DE UN PROTOTIPO DE CABECERA BASADA EN DIGITALIZACIÓN SUBNIQUIST PARA RECEPCIÓN DE DRM”, proporcionando una visión general de los trabajos que se han llevado a cabo y su contexto, suficiente para abordar el resto de la documentación.

En primer lugar se justifica la necesidad de realización del proyecto, explicando asimismo el marco en el que surge. Se enumeran claramente los objetivos que se pretender alcanzar, junto a los principales beneficios que se traducen de la realización del proyecto.

A continuación, se describe de forma general el diseño, indicando los principales bloques de los que se compone. Posteriormente, se explican las principales decisiones de ingeniería adoptadas en la realización del proyecto, describiendo para cada una de ellas las alternativas disponibles, y justificando razonadamente la decisión elegida. Con toda esta información se hace un resumen completo del diseño realizado.

En tercer lugar, se incluye información sobre el desarrollo del proyecto, explicando el plan de trabajo que se ha seguido, y los medios y técnicas básicos utilizados. También se recoge el presupuesto final del proyecto.

Finalmente, se explican las conclusiones obtenidas y el grado de cumplimiento de los objetivos planteados, enumerando posibles líneas de trabajo futuro.

2.- DEFINICIONES, SÍMBOLOS Y ABREVIATURAS

2.1.- DEFINICIONES

Ancho de banda a la salida	Margen de frecuencias a la salida de la cabecera que cumple en atenuación y retardo de grupo con las especificaciones de distorsión especificadas. [4]
Banda DRM	Corresponde al rango de frecuencias tradicional de radiodifusión AM, extendiéndose de 0 a 30MHz
Ethernet	Arquitectura de red de área local con topología lógica en bus. Consta de una capa física (PHY), y una de control de acceso al medio compartido (MAC). [8]
Frecuencia clásica de Nyquist	Doble de la componente frecuencial más elevada presente en una señal.
Frecuencia de referencia	Frecuencia significativa para identificar un canal de la Banda DRM de forma unívoca.
Kernel	Se refiere a un sistema de procesado con capacidades de planificación de procesos propias de un sistema operativo.
Mecanismo de parada y espera (Stop & Wait)	Mecanismo de control de flujo que no permite el envío de un mensaje hasta asegurarse que se ha recibido en destino el anterior.
Muestras I y Q (In phase / Quadrature) (En fase / Cuadratura)	Muestras correspondientes a la mezcla de una señal de RF con un coseno (I) y un seno (Q). Si se mezcla la señal con una exponencial compleja son las muestras reales e imaginarias resultantes respectivamente.
Solapamiento (Aliasing)	Distorsión producida en una señal digitalizada a una frecuencia de muestreo inferior a la frecuencia clásica de Nyquist.
Tecnología analógica y digital	En este documento se refieren a tratamiento con componentes electrónicos (filtros, mezcladores, etc.) y a procesamiento software, respectivamente.
Telemando	Configuración remota de un dispositivo.
Telemetría	Obtención de forma remota de información sobre el estado de funcionamiento de un dispositivo.
Zonas de Nyquist	Cada una de las subbandas solapadas al digitalizar una señal a una frecuencia de muestreo inferior a la clásica de Nyquist

Tabla 1: Definición de conceptos y convecciones usadas en el documento

2.2.- SÍMBOLOS Y NOTACIÓN

f_s	Frecuencia de muestreo
f_{ref}	Frecuencia de referencia de un canal DRM
BW_{salida}	Ancho de banda a la salida.
Ω, ω	Pulsaciones analógica y digital.
$x(t), x[n], X(f), X(\Omega)$	Señal analógica y digital, espectro analógico y digital.

Tabla 2: Símbolos usados en el documento

2.3.- ABREVIATURAS

ADC	“Analog To Digital Converter”. Conversor Analógico Digital
AM	“Amplitude Modulation”. Modulación en amplitud.
ARQ	“Automatic Response Query”. Protocolo de Respuesta Automática.
CAG	Control automático de ganancia
DCP	“Distribution and Communications Protocol”. Protocolo de distribución y comunicaciones.
DMA	“Direct Memory Access”. Acceso directo a memoria
DRM	“Digital Radio Mondiale”. Radio Digital Mundial
DSP	“Digital Signal Processor”. Procesador Digital de Señal
ETSI	Escuela Técnica Superior de Ingeniería (de Bilbao)
FIFO	“First in First out Memory”. Memoria tipo pila
FPGA	“Field Programmable Gate Array”. Matriz de puertas lógicas programable
IC	“Integrated Circuit”. Circuito integrado.
IP	“Internet Protocol”. Protocolo de Internet.
IVA	Impuesto sobre el Valor Añadido
LPF	“Low-Pass Filter”. Filtro pasabajo
MAC	“Medium Access Control”. Protocolo de control de acceso al medio.
PC	“Personal Computer”. Ordenador Personal.
PHY	“Physical Layer”. Capa física de la familia de protocolos Ethernet.
PLL	“Phase Locked Loop”. Lazo enganchado en fase.
PVP	Precio de Venta al Público
RF	“Radio Frequency”. Radio Frecuencia
RTP	“Real Time Transport Protocol”. Protocolo de transporte en tiempo real
UDP	“User Datagram Protocol”. Protocolo de datagramas de usuario

Tabla 3: Abreviaturas utilizadas en el documento

3.- MOTIVACIÓN DEL PROYECTO

3.1.- INTRODUCCIÓN

La digitalización de los servicios de difusión ha marcado un hito en la historia de las telecomunicaciones de los últimos años, partiendo de las bandas de alta frecuencia (comunicaciones por satélite, televisión,...) y progresivamente incorporando las bandas inferiores (radiodifusión FM)

La digitalización de la tradicional banda de radiodifusión AM (frecuencias por debajo de 30MHz) representa la culminación de este proceso. El único estándar abierto existente es DRM, "Digital Radio Mondiale", reconocido por los organismos internacionales [2] , que en la actualidad cubre las frecuencias mencionadas, aunque se plantea su extensión hasta 120MHz, en el denominado estándar DRM+.

Las principales ventajas de DRM son: calidad de audio excelente (similar a FM) y variedad de contenidos (incluyendo soporte multi-lenguaje y capacidad para integrar datos y texto, visualizables en los receptores de usuario). Además, las características de propagación ionosférica de la banda AM permiten la recepción de señales DRM a distancias muy elevadas (incluso desde otros países) sin degradación de calidad, debido a su naturaleza digital. Incluso es posible la recepción con diferentes modos de robustez según las condiciones de propagación. Las emisiones DRM también pueden convivir sin problemas con las señales de radiodifusión analógica, por lo que se pueden ofrecer los dos servicios simultáneamente.

El "DRM Consortium" [1] , fundado en Marzo de 1998, agrupa a fabricantes, instituciones y operadores de 30 países diferentes, responsables de la normalización en esta tecnología; entre ellos la Universidad del País Vasco (UPV/EHU). El grupo de Tratamiento de Señal y Radiocomunicaciones (TSR) de la Escuela Técnica Superior de Ingeniería de Bilbao (ETSI) [3] dedica un gran peso de su labor investigadora al estudio de la propagación de las señales de radio digital, mediante periódicas campañas de medidas en diferentes ubicaciones a nivel internacional.

Aunque existen actualmente emisiones DRM en fase de pruebas, los receptores profesionales y comerciales se encuentran todavía en fase de desarrollo. En el marco de los estudios y de las posteriores fases de planificación y verificación de las nuevas redes, es preciso definir receptores de instrumentación de alta calidad, como herramienta fundamental para obtener medidas sobre terreno introduciendo una mínima distorsión adicional sobre las señales recibidas.

3.2.- MARCO DEL PROYECTO

Este proyecto pretende **diseñar e implementar de un prototipo de cabecera digital basado en procesadores de señal (DSPs) capaz de obtener en tiempo real las muestras digitalizadas de un canal dentro de la banda DRM y trasmitirlas mediante un interfaz de red de área local tipo Ethernet [8] a un PC destino.**

Se define dentro de un proyecto más extenso del grupo TSR cuyo objetivo es el desarrollo de un receptor de instrumentación DRM completo de alta fidelidad. La idea surge en el año 2003 planificándose entonces dos bloques claramente diferenciados:

- Una **cabecera** que acondiciona y digitaliza la señal DRM, pasándola a banda base y transmitiendo sus muestras a un PC. Combina elementos analógicos y digitales [4] [5] . El trabajo que se propone es una solución para este bloque.
- Un **demodulador** íntegramente digital, concebido como un software dentro de un ordenador, que recibe las muestras en banda base por un interfaz de red y las trata para obtener la información digital transmitida y diferentes parámetros de medición. Este bloque se desarrolla de forma independiente a este proyecto [6] , exceptuando las especificaciones de la señal que recibe a su entrada, que deben coincidir con las de la salida de la cabecera.

3.3.- ANTECEDENTES. ESTADO DEL ARTE

A fecha de comienzo de este proyecto, **el proyecto global del receptor DRM** de instrumentación contaba con el siguiente **grado de definición**:

La cabecera contaba con un primer prototipo implementado [5] , basado en la digitalización de toda la banda DRM, para su posterior paso a banda base en base a tratamiento software con DSPs. El prototipo incluía un controlador CI que implementa los niveles PHY y MAC de la arquitectura de protocolos Ethernet. Las principales **limitaciones** de esa primera versión eran las siguientes:

- Las velocidades de **procesado** requeridas eran incompatibles con **los DSPs comerciales**, trabajándose **en diferido**. El Grupo Apert [7] desarrolla en la actualidad una cabecera basada en FPGAs, tecnología que logra el procesado en tiempo real, pero que reduce la flexibilidad del diseño respecto a la proporcionada por los DSPs.
- La **placa de comunicaciones** sólo estaba definida a nivel Hardware y no se había verificado en profundidad. **No existía ninguna arquitectura lógica definida** o implementada para la comunicación entre cabecera y demodulador.

4.- OBJETIVOS

El **objetivo final** del proyecto es el desarrollo de una cabecera digital DRM completa, **basada al máximo en tratamiento software con DSPs, e implementación en un prototipo**. La cabecera deberá ser capaz de, a partir de la señal de antena, obtener las muestras digitalizadas de cualquier canal dentro de la banda DRM en **tiempo real**, y transmitir sus muestras vía una interfaz Ethernet hacia el demodulador.

4.1.- OBJETIVOS PRINCIPALES

Los **objetivos principales** representan pasos intermedios para lograr la consecución del objetivo final. Se plantean los siguientes objetivos:

- Desarrollo de un **modelo teórico para el procesamiento de señal** requerido y validación mediante una o varias simulaciones.
- **Implementación en hardware de la/s etapa/s de procesamiento analógico** requeridas sobre un prototipo en circuito impreso.
- **Implementación en software de la/s etapa/s de procesamiento digital** requeridas sobre un prototipo basado en arquitectura con DSPs.
- **Definición de un protocolo de comunicaciones completo para la transmisión de muestras** digitalizadas **entre la cabecera y demodulador**, así como para la lectura y **configuración remota** de los parámetros de la cabecera desde este último. Este protocolo dará lugar a una norma aceptada por todas las partes implicadas en el diseño del receptor DRM.
- **Implementación en software del protocolo definido** sobre el controlador IC Ethernet.

4.2.- OBJETIVOS SECUNDARIOS

Los **objetivos secundarios** son aspectos de interés resolubles dentro del marco del proyecto, que complementan al objetivo final, y que deben ser tenidos en cuenta durante el desarrollo del trabajo. Se plantean los siguientes objetivos:

- Plantear un diseño que permita **reutilizar los conceptos de procesado de señal en futuros diseños a bandas de frecuencias superiores a las de DRM**, sin suponer un aumento excesivo de la capacidad de procesado de los DSPs. En particular, la banda DRM+, que se corresponde al tradicional rango de frecuencias de radiodifusión FM.
- Desarrollo de un **protocolo de comunicaciones extensible a la compartición de una cabecera por varios equipos demoduladores, la recepción de señales de varias cabeceras por un único demodulador (diversidad)**, o una combinación de las anteriores.

5.- BENEFICIOS

Se analizan por separado los beneficios técnicos, económicos y sociales que aporta la realización de este proyecto; siendo algunos propios de él, y otros beneficios indirectos a largo plazo; como resultado de la realización del proyecto global de desarrollo de un receptor DRM completo, en el que se inserta y tiene un papel clave.

5.1.- BENEFICIOS TÉCNICOS

La realización del proyecto supondrá los siguientes beneficios de carácter técnico, que responden a problemas de ingeniería tanto de las empresas como de los grupos de investigación:

- Investigación de nuevas técnicas de procesamiento de señal RF híbridas entre tratamiento analógico y digital, **aportando una base tecnológica para diseños en bandas de frecuencias superiores**. El procesamiento casi íntegramente digital permite **eliminar elementos analógicos** tales como mezcladores, que introducen una **distorsión no lineal** importante en la señal. La introducción de un mínimo procesamiento analógico es imprescindible para el desarrollo de receptores digitales en bandas superiores, en las que la **capacidad de procesamiento** de un diseño íntegramente digital es excesiva para cualquier tecnología existente.
- El protocolo de comunicaciones desarrollado aportará una solución flexible al **problema de la comunicación entre equipos de medida y ordenadores personales**, siendo reutilizable en diseños futuros. La utilización del mismo protocolo en diferentes diseños facilita la **interconexión de equipos con características técnicas diferentes**, siendo posible la creación sistemas de medida más complejos a partir de un conjunto de equipos en red. Esto es claramente observable en el caso del receptor DRM completo en el que las dos cabeceras, la desarrollada en este proyecto y la diseñada de forma independiente por [7] proporcionan **mediciones complementarias** al demodulador.
- Una vez que se finalice el proyecto global de desarrollo de un receptor DRM completo, se dispondrá de un **prototipo de herramienta de medición de alta calidad**, flexible y versátil, debido a su naturaleza digital (software), ajustable incluso ante cambios de los estándares DRM. Esto será de gran utilidad para las campañas de medida en la banda DRM, bien sea para planificar nuevas redes o llevar a cabo tareas de mantenimiento, diagnóstico o mejora continua de las existentes.

5.2.- BENEFICIOS ECONÓMICOS

Entre los beneficios económicos del proyecto, cabe destacar los siguientes:

- El receptor de instrumentación DRM digital constituye **una herramienta que unifica todas las necesidades de medición del grupo TSR de señales DRM en un solo equipo**. Esto, por una parte, reduce los costes en adquisición de equipamiento para la realización de campañas de medida. Por otro lado disminuye sus tiempos de realización, al obtenerse los resultados de forma directa. Además, el uso de tecnología digital en la mayor parte del desarrollo permite medidas de mayor calidad, por lo que un número inferior de ellas será suficiente para obtener un resultado exigente; lo que también reduce los tiempos de recogida de datos.
- El diseño del prototipo puede dar lugar en un futuro a un **producto comercial de instrumentación** que extendería las ventajas del punto anterior a empresas e instituciones relacionadas con la tecnología DRM. La **viabilidad de las técnicas de procesado exploradas en este proyecto en bandas de frecuencia superiores** permitirían además desarrollar **receptores de instrumentación multibanda**. Además el desarrollo es una buena referencia para una simplificación posterior que dé lugar a **un producto comercial de coste reducido para los usuarios** del servicio de radio digital, lo que supone un futuro nicho de mercado de prácticamente toda la población, como ya se ha visto en el caso de la digitalización de la televisión analógica terrestre.
- **Disminución de costes de desarrollo de futuros prototipos del grupo TSR** al disponerse de bloques funcionales clave suficientemente operativos, valoraciones adecuadas en relación calidad/precio de los componentes electrónicos más idóneos para diseños de este tipo, y suficiente documentación sobre plataformas de procesado ; todo ello aprovechable en futuros proyectos.

5.3.- BENEFICIOS SOCIALES

Junto a los beneficios técnicos y económicos, se extraen los siguientes beneficios sociales del proyecto:

- **Ayuda a la labor investigadora del Grupo TSR**, como agente impulsor a nivel internacional de los trabajos del “**Digital Radio Mondiale Consortium**”, para la progresiva implantación de la tecnología DRM. Estas contribuciones posibilitarán en un futuro cercano ofrecer **servicios de radio digital a los usuarios**, con las ventajas que se han descrito en el apartado 3.1.- Destacar el **enriquecimiento cultural** que supone a la población la posibilidad de **sintonizar emisoras extranjeras**.
- **Beneficios de carácter didáctico** sobre las técnicas estudiadas, tanto de procesado como de comunicación en red; de las que podrán obtener conocimientos y documentación detallada los **miembros del grupo**, extendiéndose esta posibilidad de aprendizaje al **resto de alumnos** de la escuela.
- Beneficios de **formación personal para el alumno** que, tras este diseño, dispondrá de conocimientos complementarios a lo aprendido hasta ahora en las tres ramas de estudio de su titulación: **Electrónica, Señal y Telemática**.

6.- REQUERIMIENTOS DEL PROYECTO

Este apartado describe las características exigibles al diseño desde el punto de vista de ingeniería. En primer lugar se describen los requerimientos planteados por el Grupo de Investigación TSR, dentro del cual se ha desarrollado el proyecto; y en segundo lugar los que el alumno se ha planteado de forma previa a su desarrollo, para cumplir los objetivos del proyecto de forma exigente y eficaz en los plazos de tiempo planificados.

6.1.1.- Requerimientos exigibles del proyecto por parte del cliente

Los requerimientos establecidos por el cliente (Grupo de Investigación TSR) para el proyecto de diseño e implementación en prototipo de una cabecera digital DRM son los siguientes:

- Definición de las **especificaciones concretas de la señal de salida** del procesado llevado a cabo por la cabecera de forma que ésta cumpla los requerimientos para la señal de entrada del demodulador. En ANEXO 1 - se detallan estas especificaciones.
- Utilización para la **implementación del procesado digital sobre el prototipo de la cabecera**, excepto en el caso de que existan unos argumentos contundentes en cuanto a costes o viabilidad de los objetivos del proyecto, del **kit de desarrollo de procesado de señal TigerSHARC TS101S de Analog Devices (con 2 DSPs)**; disponible en el grupo de investigación, y que ha supuesto una inversión importante.
- Interfaz de red específica **Ethernet 100Base Tx** para la **comunicación** entre la **cabecera** y el **demodulador**.
- Utilización para la **implementación del protocolo de comunicaciones sobre el prototipo de la cabecera** el **IC LAN91C111 de SMSC**, cuya arquitectura Hardware ya ha sido definida e implementada en un prototipo dentro del grupo de investigación, a fin de abaratar costes y reducir tiempos de desarrollo.

6.1.2.- Requerimientos deseables del proyecto por parte del alumno

Los requerimientos establecidos por el alumno, tanto para cumplir los objetivos propuestos, como para facilitar la flexibilidad de la solución de cara a su reutilización en proyectos futuros se exponen en Tabla 4:

Parámetro	Requerimiento
Características generales	<ul style="list-style-type: none"> - Reutilización al máximo de diseños anteriores de la cabecera, [4] y [5] , a fin de minimizar el tiempo de desarrollo y los costes. - Diseño modular, fácilmente comprensible y escalable, a fin de ser reutilizable en desarrollos posteriores del grupo de investigación.
Procesado de señal	<ul style="list-style-type: none"> - Utilizar técnicas de digitalización subniquist para el desarrollo del proyecto, dado que está demostrado que es la técnica que menos procesado analógico implica después de la digitalización directa en radiofrecuencia [5] - Minimizar el procesado analógico, a fin de reducir la distorsión sobre la señal capturada. - Cumplimiento de al menos uno de los objetivos mínimos de calidad para la señal recibida recogidos en "DOCUMENTO nº 2"
Diseño software	<ul style="list-style-type: none"> - Organización del código en librerías de funciones, con un formato uniforme para todos los módulos y adecuadamente comentado; a fin de permitir su uso en otros diseños.
Especificación del protocolo	<ul style="list-style-type: none"> - Reutilizar al máximo protocolos existentes para favorecer la compatibilidad y simplificar el desarrollo. Prever futuras ampliaciones de la especificación.

Tabla 4: Requerimientos deseables del proyecto por parte del alumno

7.- SELECCIÓN DE LA SOLUCIÓN

Este apartado introduce la arquitectura más general que se ha concebido para el diseño de la cabecera, dividiendo la problemática de diseño en una serie de bloques funcionales bien definidos. Además se describen las alternativas de ingeniería que se han evaluado para cada uno de los bloques y las decisiones adoptadas en cada caso.

7.1.- DESCRIPCIÓN GENERAL

La cabecera digital divide en cuatro bloques básicos (Figura 1). En **primer lugar** un **módulo de procesamiento analógico**, que adapta y acondiciona la señal recibida de la antena, y le aplica un tratamiento analógico previo a la digitalización. En **segundo lugar** un **bloque de Conversión Analógico a Digital (ADC)**, que digitaliza la señal obtenida del anterior módulo. En **tercer lugar** una **plataforma de procesamiento digital**, que lleva a cabo un tratamiento sobre las muestras, y controla el resto de bloques. En **cuarto lugar** un **módulo de comunicaciones**, que gestiona la transmisión de datos por red Ethernet hacia el demodulador, además de recibir de éste solicitudes de Telemando y de Telemetría.

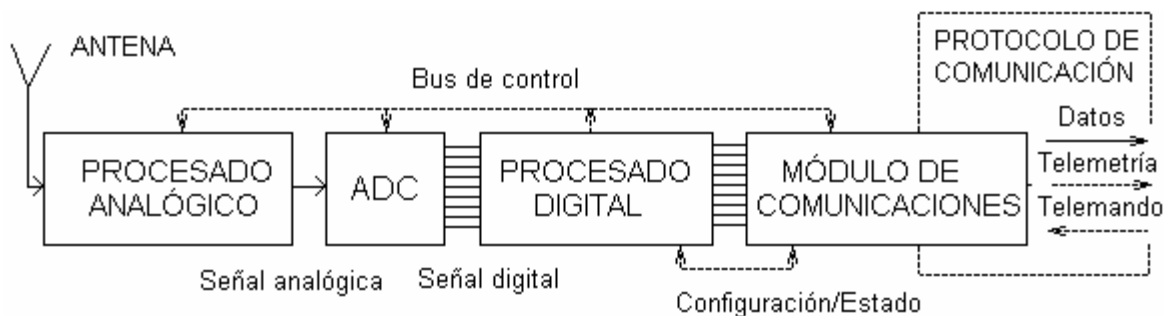


Figura 1: Diagrama de bloques básico del sistema

7.1.1.- Módulo de procesamiento analógico

El módulo de procesamiento analógico se basa en **técnicas de digitalización subnyquist o inframuestreo**. Se hace una introducción en ANEXO 2 - , a fin de favorecer la compresión del documento. Las dos etapas principales para un procesamiento con **inframuestreo** genérico son:

- **Filtrado analógico** de la zona de Nyquist deseada y digitalización de la señal.
- **Procesado digital (software)** de la subbanda muestreada para obtener las muestras del canal deseado y deshacer, si se ha producido, el efecto de rotación del espectro.

El **módulo de procesamiento analógico** consta por tanto de un **banco de filtros**, cada uno de los cuales selecciona una de las zonas de Nyquist a procesar. Los filtros reales presentan unas **bandas de relajación** en las que no es posible extraer información útil, por lo que se han introducido una serie de **filtros adicionales** para poder capturar todos los canales de la banda DRM (Figura 2). Para evitar la distorsión por solapamiento, estos filtrados adicionales también deben encontrarse dentro de una zona de Nyquist. Se ha logrado introduciendo diferentes frecuencias de muestreo f_s, f'_s (Figura 2), que garantizan la aparición de zonas de Nyquist en los intervalos de frecuencia deseados.

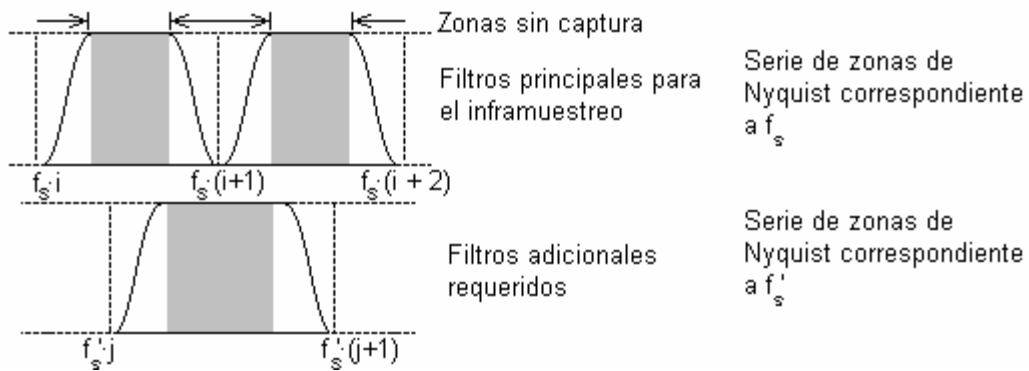


Figura 2: Problemática de las bandas de transición de los filtros

Además de los filtros, ha sido necesario implementar una lógica de conmutación controlable desde el módulo de Procesado Digital; que permita seleccionar uno u otro filtro según el canal de la banda DRM que se desee capturar. Finalmente se ha valorado la posibilidad de incluir elementos de atenuación/ganancia antes o después del filtrado para dar un nivel adecuado a la señal, previo a su digitalización. En la Figura 3 se ve el esquema completo.

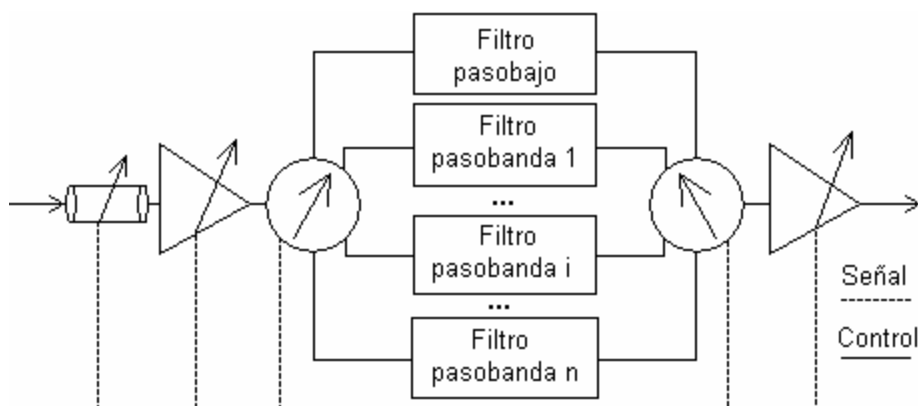


Figura 3: Módulo de procesamiento analógico

7.1.2.- Módulo ADC

El **segundo módulo, ADC**, se refleja en Figura 4. Consta de un Convertidor Analógico – Digital que digitaliza la señal analógica. La señal se digitaliza a tantas frecuencias de muestreo diferentes como series de zonas de Nyquist se han definido en el módulo anterior. Además, ha sido preciso definir un método de comunicación entre el convertidor y el módulo de procesado digital que lleva a cabo del tratamiento software de las muestras.

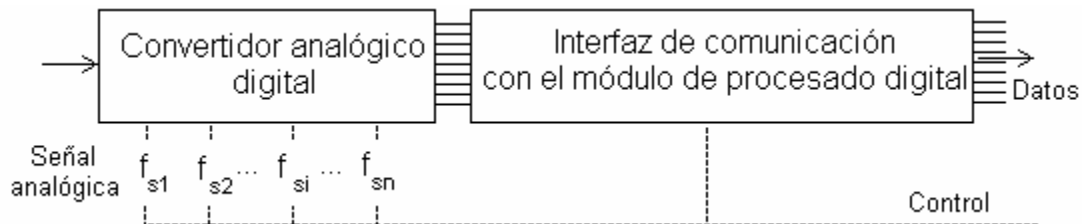


Figura 4: Módulo ADC

7.1.3.- Módulo de procesado digital

El **tercer módulo es el módulo de procesado digital**. Se ha utilizado un KIT de desarrollo comercial compuesto por dos DSPs, que incluye interfaces mediante las cuales se le puede cargar un programa o emularlo desde un ordenador (I5). Además incorpora mecanismos para resolver la comunicación con el resto de módulos de la cabecera, como se detalla en Figura 5.

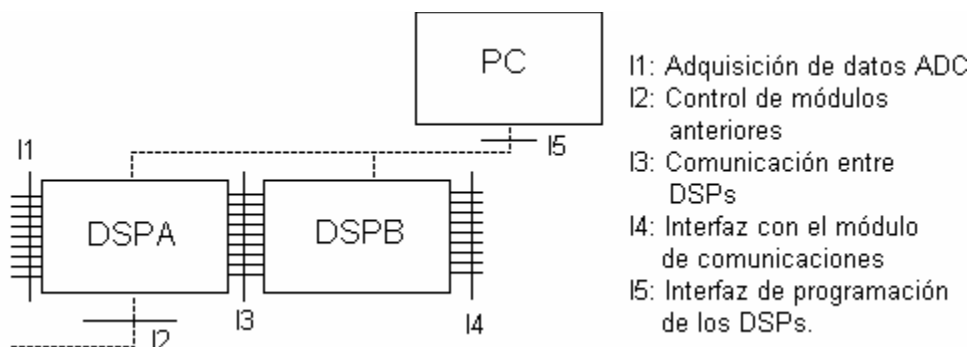


Figura 5: Módulo de procesado digital – Hardware

El procesado digital es un **software** implementado sobre los DSPs. El diseño lógico más general se refleja en Figura 6. Uno de los DSPs se ha destinado al **procesado digital** y otro al **control del módulo de comunicaciones**.

Se ha diseñado un **módulo de recepción de datos** del CAD; un **módulo de procesado de señal** que extrae de la subbanda digitalizada subnyquist el canal DRM

deseado; y un **módulo de control de comunicaciones**. Además se ha desarrollado **módulo que gestiona las líneas de control** del módulo de procesamiento analógico y el CAD, y un **módulo de control del sistema**, que toma decisiones y arbitra todos los bloques.

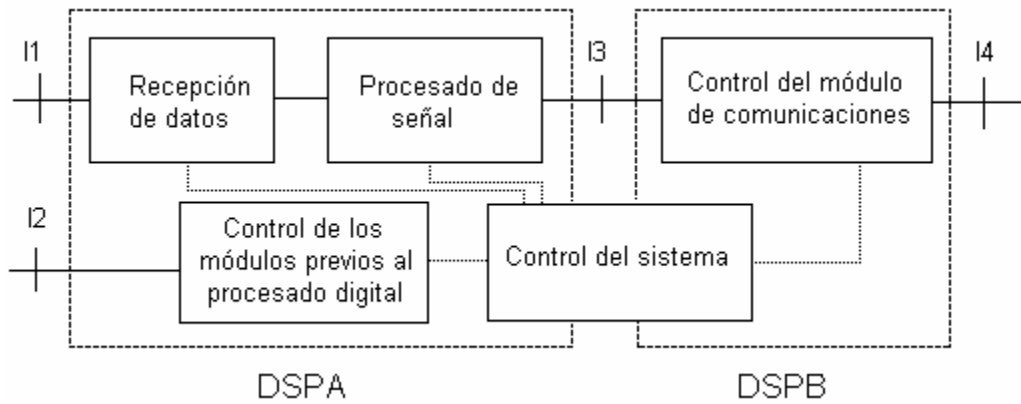


Figura 6: Módulo de procesamiento digital – Software

En Figura 6 muestra la ubicación de los módulos en los procesadores (la definición de DSPA y DSPB es únicamente a efectos explicativos). La ubicación del módulo de **Control del sistema** (en el DSPA, en el DSPB o en los dos) ha sido una de las decisiones de ingeniería en el proyecto.

7.1.4.- Módulo de comunicaciones

El cuarto módulo de la cabecera es el **módulo de comunicaciones**. Se ha partido de la arquitectura hardware definida para el controlador de red en [4] y [5], resumida en Figura 7. La interfaz de **I4** entre el módulo de procesamiento digital y el módulo de comunicaciones se ha heredado de esta arquitectura.

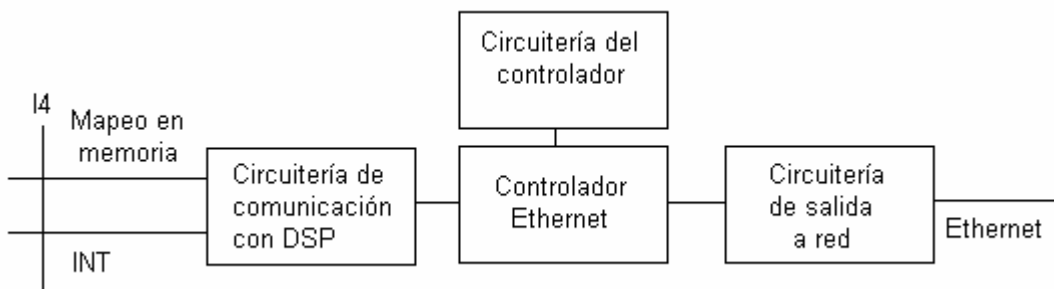


Figura 7: Módulos hardware para el Control del módulo de comunicaciones

La arquitectura software definida para este módulo constituye el llamado **Control del módulo de comunicaciones**, cuyos bloques más generales se reflejan en Figura 8.

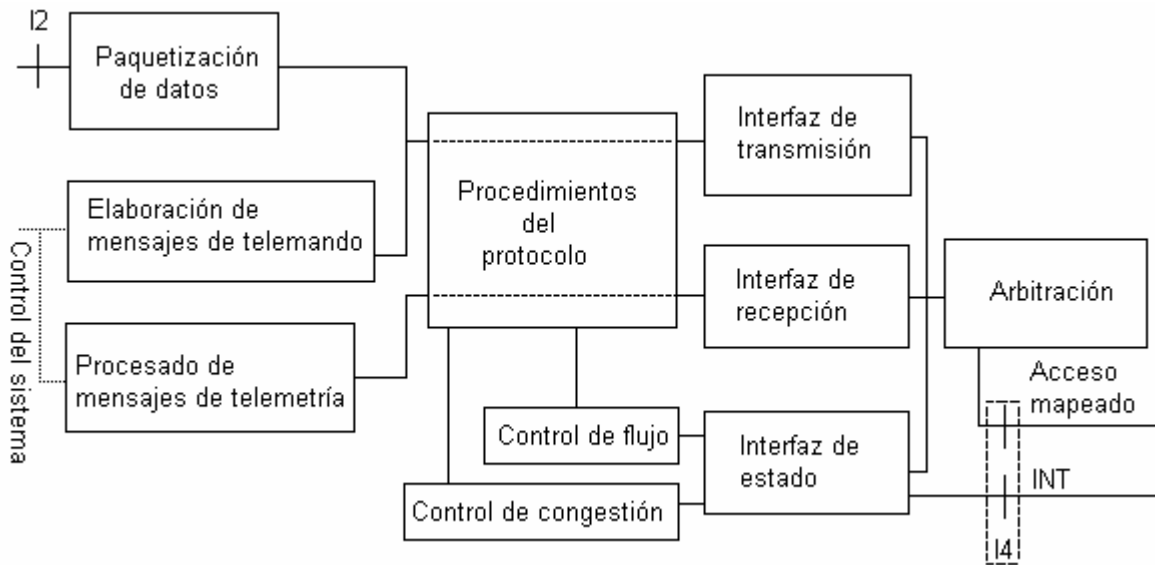


Figura 8: Módulos software para el Control del módulo de comunicaciones

Se ha definido un módulo de **Paquetización de datos**, que prepara las muestras procesadas para su transmisión a través de la red; un módulo de **Procesado de mensajes de telemando y telemetría**, que las transforma en procedimientos a realizar o en solicitudes de información para el Control del Sistema; un módulo de **Procedimientos del protocolo**, que implementa las estructuras de datos definidas en el protocolo de comunicaciones; y módulos de **Control de flujo y congestión**, que resuelven las situaciones de pérdidas de datos en la red. Por otra parte ha sido necesario definir unas **Interfaces de Transmisión, Recepción y Estado**, que actúan directamente sobre el controlador de red. Dado que, debido a sus características, sólo un módulo puede acceder al controlador de red simultáneamente, se ha diseñado un **Módulo de Arbitración**, para decidir cual de las tres interfaces anteriores acceden en cada momento.

7.1.5.- Protocolo de comunicaciones

Para terminar se describe **el protocolo de comunicaciones** (Figura 9). Para cumplir los objetivos de interconexión y versatilidad requerimientos, se ha utilizado la pila de protocolos TCP/IP sobre Ethernet, que es con diferencia la dominante en el panorama de redes actual. A fin de reducir la complejidad, se ha implementado una arquitectura de **protocolos ligeros de transporte UDP** reforzada por un protocolo de transferencia de datos en tiempo real, RTP [11] . En los niveles superiores se han utilizado funcionalidades de formatización de mensajes del protocolo DCP, empleado habitualmente en transmisión de datos DRM [12] , [13] . Además se ha hecho una distinción entre **plano de usuario** (la transmisión de muestras) y **plano de control** (telemetría y telemando).

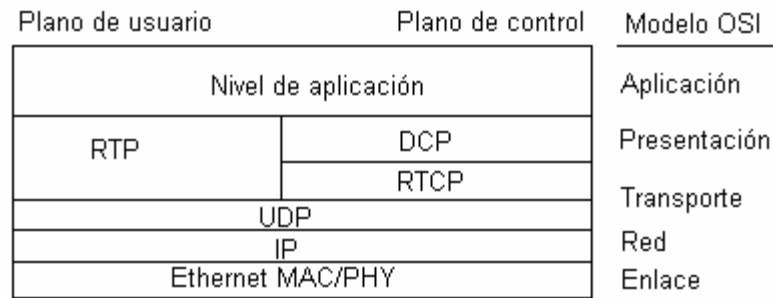


Figura 9: Pila de protocolos a implementar

7.2.- ALTERNATIVAS

En este subapartado se valoran las alternativas valoradas para la realización de cada uno de los bloques, exponiendo además las ventajas e inconvenientes que se han encontrado para cada una de ellas.

7.2.1.- Módulo de procesamiento analógico

El aspecto de diseño más relevante que se ha analizado es el tipo de **arquitectura de conmutación entre filtros**.

Se ha buscado una solución que permita la selección un filtro determinado mediante una señal de control digital). Se han encontrado dos alternativas diferenciadas: un **multiplexor analógico con control digital** a la entrada del banco de filtros y un **demultiplexor** a la salida; o bien un **banco de relés** electromecánicos a la entrada y a la salida de cada filtro.

a) Multiplexor:

La arquitectura se refleja en Figura 10. Los elementos que se han encontrado en el mercado son multiplexores para señales de vídeo, o multiplexores RF, que en ambos casos tienen características similares a efectos del diseño en estudio.

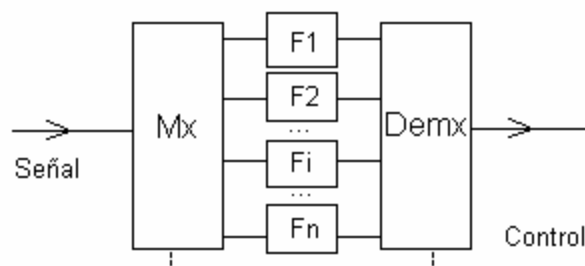


Figura 10: Lógica de conmutación de filtros con multiplexor digital.

Ventajas:

- ✓ *Pocos componentes requeridos*

Existen multiplexores de 8, 16 y 32 salidas, por lo que basta con dos de estos elementos (uno a la entrada y otro a la salida de los filtros) para acometer el diseño.

- ✓ *Consumo de energía reducido*

La circuitería digital utilizada en estos componentes garantiza un consumo muy bajo.

Desventajas:

- ✗ *Distorsión y alinealidades*

Introduce alinealidades en las señales analógicas conmutadas que pueden distorsionar la respuesta del canal.

- ✗ *Fuente de alimentación*

La mayoría de estos componentes requieren fuentes de alimentación conmutadas que introducen un ruido adicional en todo el diseño. Los costes de un multiplexor adecuado para la aplicación en estudio con alimentación asimétrica son muy elevados.

b) Banco de relés:

En este caso el diseño es el de Figura 11. Se requieren dos relés (más su circuitería asociada) por filtro.

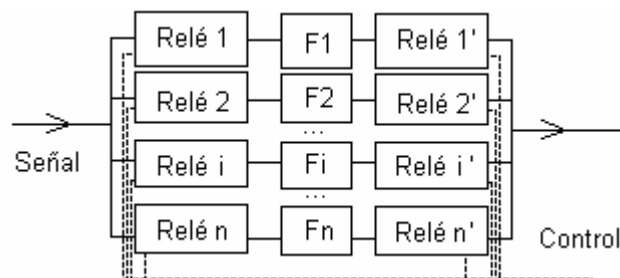


Figura 11: Lógica de conmutación de filtros con banco de relés.

Ventajas:

- ✓ *Aislamiento*

Se usan componentes electromecánicos, basados en el cierre o apertura de dos contactos, por lo que el aislamiento logrado es equivalente al de un circuito abierto.

- ✓ *Distorsión muy reducida*

Cuando se cierran los contactos, el relé actúa como la unión de dos contactos, por lo que no se lleva a cabo ningún tipo de modificación sobre la señal que se conmuta.

Desventajas:

- × *Número de componentes elevado*

Se requieren dos componentes por filtro lo que dispara los costes, el espacio ocupado por los mismos, y su peso.

- × *Consumo*

El consumo de la bobina al imantarse durante la conmutación es elevado.

7.2.2.- Módulo ADC

Tal como se ha visto en apartados anteriores, el inframuestreo implica la **generación de diferentes frecuencias de muestreo** para las diferentes series de zonas de Nyquist que aparecen. Se han evaluado dos alternativas, cumpliendo todas ellas que el flujo de datos generado es aceptable para la interfaz de datos de los DSPs.

a) Generación analógica de las frecuencias de muestreo

Se dispone de un banco de osciladores a diferentes frecuencias de muestreo de las cuales se conmuta una para atacar al convertidor analógico digital (Figura 12). Además se pueden obtener frecuencias de muestreo adicionales diezmando las muestras recibidas en el DSP al digitalizar la señal, por diferentes valores enteros N , lo que permite minimizar el número de osciladores requeridos.

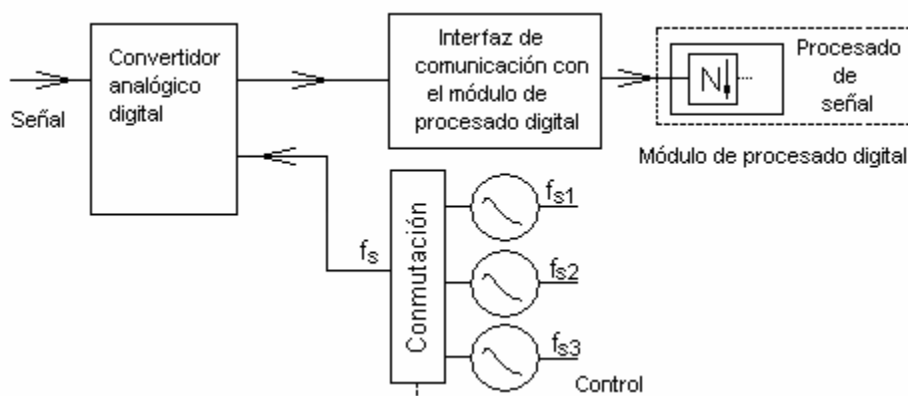


Figura 12: Generación analógica de la frecuencia de muestreo

Ventajas:

- ✓ *Estabilidad frecuencial y jitter*

Se pueden conseguir unos buenos valores eligiendo unos osciladores adecuados.

Además los efectos de deriva frecuencial de los osciladores se reducen al diezmar, ya que a frecuencias más bajas su efecto relativo es menor.

✓ *Sencillez*

El diseño es relativamente sencillo, dado que el diezmado no constituye una complejidad apreciable a nivel software y, si el número de osciladores requerido no es demasiado elevado, la conmutación se puede llevar a cabo de forma simple.

Desventajas:

✗ *Escasa flexibilidad y dificultad para escalar el diseño.*

En el momento que se tenga un elevado número de zonas de Nyquist el número de osciladores requeridos para mantener los flujos de datos a una cadencia razonable es excesivo. El diseño sólo permite unos valores concretos de frecuencia de muestreo, por lo que no existe la posibilidad de introducir otros tipos de digitalización.

c) Generación digital de la frecuencia de muestreo

Se utiliza un circuito de Sintetizado de Frecuencias, que básicamente consiste en un lazo enganchado en fase (PLL) capaz de ajustarse a diferentes frecuencias; y configurable desde los DSPs, para proporcionar un amplio rango de frecuencias de muestreo.

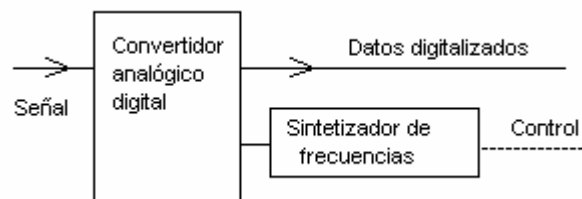


Figura 13: Generación digital de la frecuencia de muestreo

Ventajas:

✓ *Flujos de datos a velocidades reducidas*

Es posible una sintonización directa a la frecuencia requerida para hacer el inframuestreo (no se requieren diezmados), por lo que el flujo de datos en la interfaz de datos es exactamente el que van a procesar los DSPs.

✓ *Diseño escalable y flexible*

La frecuencia de muestreo no se altera introduciendo nuevos elementos hardware sino configurando el dispositivo vía software a través de los DSPs. Permite reutilizar el diseño para diferentes tipos de recepción de señal.

Desventajas:

- × *Complejidad en el diseño*

Se requiere circuitería para acondicionar el sintetizador y una interfaz de control adecuada, suponiendo un número elevado de componentes, y tiempos de desarrollo mayores.

- × *Estabilidad frecuencial, jitter.*

La pureza espectral de las señales generadas con esta técnica es reducida en comparación con las otras alternativas; hay componentes armónicas y elementos de jitter debido a derivas de fase en los circuitos internos del sintetizador.

Esta decisión se ha evaluado antes de seguir describiendo con los siguientes grupos de alternativas, dado que influye en ellos. Se ha llevado a cabo la selección de solución y se ha optado por la solución **Generación analógica de la frecuencia de muestreo**.

7.2.3.- Módulo de procesamiento digital: Arquitectura hardware

Se ha estudiado la conveniencia de migrar de arquitectura hardware respecto al **KIT TigerSHARC TS101S (Analog Devices)**, disponible en el grupo (véase 6.1.1.-).

El único motivo para migrar de arquitectura es disponer de un procesador capaz de procesar un ancho de banda mayor, que implique reducir el número de elementos de filtrado y conmutación requeridos. El coste de una arquitectura de procesamiento es elevado, y el coste en tiempos de desarrollo para migrar a la nueva arquitectura es aún mayor, por lo que sólo se ha valorado como alternativa en el caso de que la ganancia de velocidad de procesamiento obtenida sea muy significativa. Tras un estudio del arte las dos alternativas más representativas encontradas han sido:

Procesador	Ganancia en velocidad de procesamiento respecto a TS101S	Precio
Procesador de mismo fabricante y familia KIT TigerSHARC TS201S (Analog Devices)	2	260€
Procesador de diferente fabricante TMS320C6455-1000 (Texas Instruments)	3	280€

Tabla 5: Estudio del arte de arquitecturas de procesamiento (a fecha de entrega del documento)

Esta decisión se ha evaluado antes de seguir con los siguientes grupos de alternativas, dado que influye en su diseño. Se ha llevado a cabo la selección de solución y se opta por **Conservar la arquitectura KIT de desarrollo TigerSHARC TS101S**.

7.2.4.- Módulo de procesamiento digital: Arquitectura software

Se han considerado dos aspectos: la Ubicación del módulo de Control del Sistema, y la arquitectura de gestión de eventos del programa.

7.2.4.1.- Ubicación del módulo de Control del Sistema

Existen dos posibilidades: ubicación en el DSPB, y ubicación distribuida. La ubicación exclusiva en el DSPA no se ha considerado, dado que se requiere casi toda la capacidad de procesamiento disponible para implementar el módulo de procesamiento de señal digital.

a) Ubicación en el DSPB

Ventajas:

- ✓ *Integración con el módulo de comunicaciones*

Es posible integrar el módulo de comunicaciones y el del control del sistema en uno solo, gestionando de forma directa las acciones sobre la cabecera en función de los mensajes de telemando recibidos. Esto reduce la complejidad del diseño.

- ✓ *Posibilidad de optimizar los parámetros del DSPA.*

Dado que las funciones relativas al DSPA son exclusivamente de procesamiento de señal, es posible optimizar su funcionamiento para estas tareas, aprovechando al máximo la capacidad de procesamiento de la plataforma y permitiendo especificaciones más exigentes.

Desventajas:

- ✗ *Rigidez de configuración de la cadena de procesamiento analógico*

La cadena de procesamiento analógico actúa como un bloque fijo que a partir del canal deseado genera un flujo de muestras en banda base. Es difícil alterar desde el demodulador en tiempo real sus parámetros u obtener informaciones en puntos intermedios de la cadena.

b) Control distribuido**Ventajas:**

- ✓ *Posibilidad de introducir mediciones o módulos adicionales en tiempo real.*

El módulo de control integrado parcialmente en el DSPA permite un mayor grado de control sobre el procesado. Es posible introducir un ecualizado en un determinado punto, o una medida sobre la señal tras una etapa de filtrado, etc.; a partir de una solicitud del demodulador.

Desventajas:

- × *Sincronización*

Distribuir la inteligencia en dos puntos diferentes implica un mayor control para evitar incertidumbres. Esto aumenta la complejidad.

Esta decisión se ha evaluado antes de seguir con los siguientes grupos de alternativas, dado que influye en ellos. Se ha llevado a cabo la selección de solución y se ha optado por **Ubicación en el DSPB**.

7.2.4.2.- Arquitectura de gestión de eventos del programa.

Se han considerado dos opciones: arquitectura basada en interrupciones, o arquitectura basada en el soporte del kernel **propietario** de los procesadores TigerSHARC. Una arquitectura de hilo único es inviable debido a la naturaleza de los dispositivos externos utilizados.

a) Arquitectura basada en interrupciones:

Se dispone de un hilo general del programa y una serie de rutinas de servicio para gestionar diferentes eventos, lanzadas ante una señal de interrupción.

Ventajas:

- ✓ *Sencillez de manejo y facilidad para la portabilidad.*

La portabilidad de los diseños depende del lenguaje de programación utilizado (concepto de interrupción, rutina de servicio), no de la arquitectura hardware concreta.

- ✓ *Aprovechamiento de la capacidad de procesado*

Se puede implementar una gestión de eventos con pequeñas latencias en el salto a las rutinas de servicio.

Desventajas:

- × *Complejidad de sincronización y acceso compartido*

La gestión de acceso a recursos compartidos debe ser implementada por el programador.

- × *Complejidad para multiprogramación del procesador*

No existe ningún tipo de soporte para planificar varios procesos simultáneos sobre un mismo procesador.

b) Arquitectura basada en el soporte Kernel del sistema.

Los procesadores TigerSHARC TS101S incluyen un soporte de Kernel que permite usar semáforos, paso de mensajes, memoria compartida, multiprogramación de varios procesos usando la interrupción de reloj... Se traduce **en un conjunto de librerías de funciones específicas propietarias para ese modelo de procesador.**

Ventajas:

- ✓ *Flexibilidad de diseño*

Se pueden implementar procesos de adquisición de datos, actividades de monitorización y gestión, o rutinas de procesamiento de señal de forma simultánea...

- ✓ *Sincronización*

Existen abstracciones de alto nivel para paso de datos o sincronización entre los dos procesadores o entre diferentes procesos de un mismo procesador.

Desventajas:

- × *Tiempos de latencia*

Se introduce latencia en el procesamiento debido a la planificación de procesos, que implica pérdida de ciclos en los cambios de contexto. Esto puede limitar el número de funcionalidades y extensiones que se pueden añadir en tiempo real a la arquitectura.

- × *Complejidad de aprendizaje*

Es una interfaz propietaria que exige un estudio completo previo a su manejo.

- × *Portabilidad*

Es una interfaz exclusiva del tipo de procesador utilizado.

7.2.5.- Módulo de comunicaciones: Arquitectura software

Para el diseño de la arquitectura software, existen dos posibilidades diferenciadas:

a) Interfaces de transmisión y recepción independientes al resto de módulos

Responde al esquema más general de Figura 8 (Apartado 7.1.4.-). La interfaz de transmisión consiste en una cola en la que se van almacenando los datos a transmitir, a los que se da salida accediendo al controlador de red. De forma similar la interfaz de recepción encola los datos leídos del controlador de red para poder ser procesados por los otros módulos.

Ventajas:

✓ *Modularidad*

Todos los bloques son independientes, lo que facilita su comprensión

✓ *Flexibilidad*

Se pueden enviar y recibir mensajes de múltiples tipos, con múltiples protocolos, de forma sencilla.

Desventajas:

✗ *Almacenamiento intermedio en transmisión*

Existen varios niveles de encolamiento, en la adquisición de datos desde el DSPA, en la interfaz de transmisión, y en la memoria interna del controlador, lo que implica un mayor consumo de recursos de almacenamiento, dificultando la portabilidad de la solución a arquitecturas simples.

✗ *Latencia en el procesamiento de los protocolos*

El envío de cualquier paquete implica el cálculo de todas sus cabeceras, desaprovecha la capacidad de procesamiento y aumenta los tiempos de respuesta a las solicitudes del demodulador. El retardo de transmisión introducido en las muestras no es tan crítico (siempre y cuando sea uniforme), dado que el flujo de datos es unidireccional.

b) Interfaces de transmisión y recepción dependientes

La paquetización de datos, los procedimientos de protocolo asociados y la interfaz de transmisión se agrupan en un único módulo, por lo que los datos recibidos del DSPA son directamente volcados a la memoria del controlador de red o, en caso de no ser posible el volcado directo, se encolan en el DSPB. **Se asocia transmisión con envío de muestras.**

Los paquetes recibidos se gestionan de forma directa sobre la memoria del controlador, procesándose con los procedimientos del protocolo adecuados, alterándose sus cabeceras dentro de la memoria del controlador y retransmitiéndose la trama recibida de forma directa tras alterarla. El módulo de control del sistema se ejecuta cada vez que se recibe una trama y configura todos los demás módulos si el mensaje de control recibido es de telemando. **Se asocia recepción con gestión de mensajes de control.**

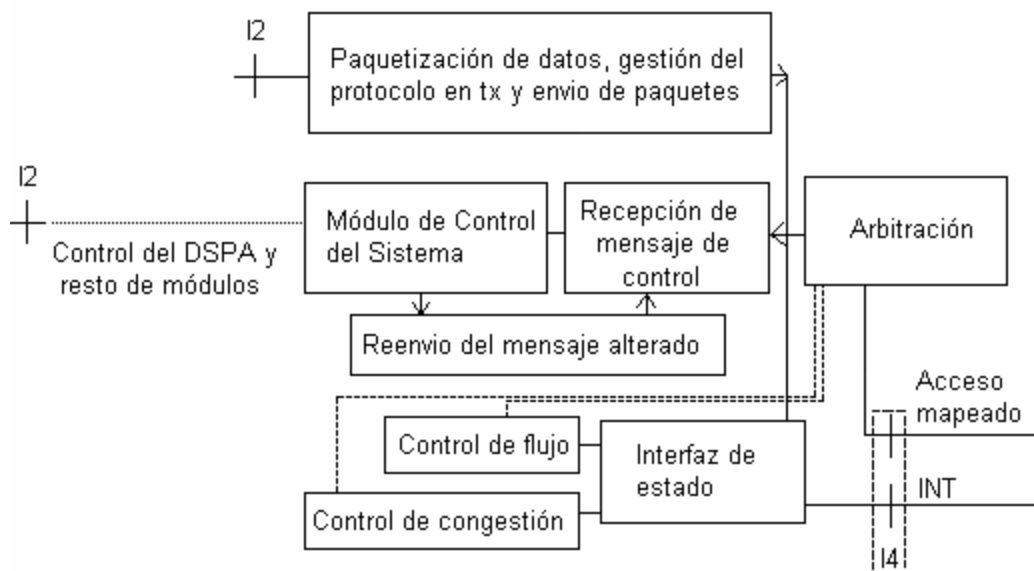


Figura 14: Módulo de comunicaciones con gestión dependiente de los interfaces de tx y rx.

Ventajas:

✓ *Rendimiento del sistema*

Se consigue un gran rendimiento en los tiempos de transmisión de muestras y respuesta del sistema, al optimizarse la gestión de cabeceras de los protocolos, y reducirse los tiempos de almacenamiento intermedio. Teóricamente el rendimiento superará al de una tarjeta Ethernet comercial para PC, al gestionarse en bajo nivel todos los niveles de la pila de protocolos. El diseño será por tanto portable a arquitecturas hardware lentas.

✓ *Simplicidad de la lógica de arbitración*

Se puede utilizar un mecanismo de asignación fija de prioridad en este orden (de más a menos): **Interfaz de estado, Recepción de mensajes de control, Envío de muestras.** Además se hará un pequeño control para que una recepción excesiva de paquetes no deseados con destino a otro equipo de la red no sature al transmisor.

✓ *Simplicidad de telemando*

No se requiere un protocolo interno para transferir información de los mensajes de control recibidos. Simplemente el módulo de control toma un mensaje y ejecuta las funciones dentro de la misma rutina.

Desventajas:

- × *Modularidad y portabilidad*

La implementación de algunos aspectos críticos del protocolo se lleva a cabo con instrucciones optimizadas para el acceso sobre la memoria del controlador de red, lo que dificulta su portabilidad a otras plataformas.

- × *Imposibilidad de transmitir o recibir tramas mientras se gestiona un mensaje de control.*

Dado que la trama recibida permanece en la memoria del controlador durante la gestión del mensaje, no se puede utilizar éste para transmitir o recibir otra trama simultáneamente. Esto puede ser perjudicial en caso de que el tiempo de gestión del mensaje recibido sea elevado, debido a la variación de retardo introducida tanto en las muestras transmitidas como en los mensajes de control siguientes.

7.2.6.- Protocolo de comunicaciones

Para gestionar el flujo de mensajes de control se han valorado dos opciones.

a) Mecanismo ARQ Stop & Wait completo [14]

Se utilizan paquetes de confirmación por cada mensaje enviado y se controla en ambos extremos que tanto el mensaje como su confirmación lleguen a destino.

Ventajas:

- ✓ *Fiabile con flujos de transmisión elevados*

Garantiza solución a pérdidas del mensaje de control y/o su confirmación. No se producen situaciones de incertidumbre aun cuando los paquetes lleguen muy juntos en el tiempo.

Desventajas:

- × *Requiere mantener un control de flujo en la cabecera*

La cabecera debe mantener y gestionar información del estado de confirmación de la cabecera, lo que añade una complejidad adicional. Además debe implementar temporizadores para gestionar los tiempos de expiración en las transmisiones.

b) Mecanismo ARQ Stop & Wait Simplificado

En DCP [13] se contempla que los mensajes de control DRM se identifiquen por una cadena de caracteres de texto. Se puede utilizar el mismo mensaje para la petición que para la respuesta, distinguiendo ambos casos con uno de los caracteres de la cadena.

Ventajas:

- ✓ *Cabecera muy simple.*

Simplemente se recibe un mensaje, se alteran los campos necesarios dentro de él, y se indica que es un mensaje de respuesta. No se gestiona ningún tipo de temporizador ni se almacena información de estado.

- ✓ *Protocolo muy sencillo*

Esto reducirá su susceptibilidad a errores. Resulta interesante gestionar un número reducido de mensajes diferentes para clarificar el diseño y evitar conflictos entre unos mensajes y otros. Por lo que es beneficioso que la petición y la respuesta tengan el mismo formato.

Desventajas:

- ✗ *Incertidumbre ante mensajes muy juntos en el tiempo.*

Puede producir errores si se envían muchos mensajes de control consecutivos.

Ambas opciones no permiten una nueva petición hasta que se haya gestionado la anterior, lo que es adecuado para reducir incertidumbres en la configuración de la cabecera.

7.3.- CRITERIOS DE EVALUACIÓN DE ALTERNATIVAS Y SELECCIÓN

En este subapartado para cada aspecto de diseño se asignan unos criterios de selección de solución, con unas ponderaciones determinadas. A continuación se evalúan las alternativas descritas en apartados anteriores, en función de sus características, con una calificación entre 0 y 10 y finalmente se justifica la solución elegida en cada caso.

7.3.1.- Módulo de procesado analógico

El criterio de más peso en la **arquitectura de conmutación de filtros** es la distorsión introducida sobre la señal conmutada. Este es uno de los mayores condicionantes de la calidad obtenida en la señal a la salida de la cabecera, debido a que en la entrada de ésta las señales estarán en general muy atenuadas. En la misma línea, el aislamiento es importante para evitar diafonía entre canales, aunque su efecto relativo es menor. Es importante que el número de componentes requeridos no sea excesivo. Un consumo de potencia excesivo puede complicar el diseño, mas es un aspecto solucionable.

Criterios para la selección

✧	Aislamiento entre canales:	30%
✧	Distorsión introducida en la señal:	50%
✧	Número de componentes requeridos:	15%
✧	Consumo:	5%

Las alternativas se evalúan en Tabla 6:

Criterio	Ponderación	Multiplexor	Banco de relés
Aislamiento	30	6	10
Ausencia de distorsión	50	5	10
Número componentes	15	10	2
Consumo	5	10	2
TOTAL	100	6.3	8.4

Tabla 6: Selección de alternativa para el multiplexor

A pesar del número elevado de componentes requeridos, dado la importancia de una baja degradación en esta etapa, la alternativa elegida es **Banco de relés**.

7.3.2.- Módulo ADC

Para la **generación de las frecuencias de muestreo** se ha valorado qué diseño proporciona mejores prestaciones en cuanto a estabilidad frecuencial y jitter, dado que es un aspecto que va a influir en la calidad de la señal recibida. En segundo lugar se ha tenido en cuenta la sencillez del diseño a fin de garantizar la ejecución del proyecto en los plazos planificados. Finalmente, se han considerado la flexibilidad y escalabilidad de la solución dado que forman parte de los requerimientos deseables para el proyecto.

Criterios para la selección

✧	Estabilidad frecuencial y jitter	50%
✧	Sencillez	25%
✧	Flexibilidad y escalabilidad	25%

Las alternativas se evalúan en Tabla 7:

Criterio	Ponderación	Generación analógica	Generación digital
Estabilidad frecuencial / jitter	50%	9	5
Sencillez	25%	10	4
Flexibilidad y escalabilidad	25%	3	9
TOTAL	100	7.8	5.8

Tabla 7: Selección de alternativa para la generación de la frecuencia de muestreo.

La alternativa elegida es **Generación digital interna**, debido a la baja degradación de la calidad de recepción y a la sencillez de diseño.

7.3.3.- Módulo de procesamiento digital: Arquitectura hardware

En la migración de la arquitectura los dos aspectos valorados son: complejidad y costes en el cambio de arquitectura; y ganancia en la velocidad de procesamiento disponible, que simplifica la realización de el resto de los módulos.

Criterios para la selección:

- No se justifica una migración a una **arquitectura de la misma familia de DSPs** que la disponible con una ganancia en **velocidad de procesamiento inferior a 5**.
- No se justifica una migración a una **arquitectura de diferente familia de DSPs** que la disponible con una ganancia en **velocidad de procesamiento inferior a 10**.

Las dos arquitecturas representativas propuestas en 7.2.3.- están muy por debajo de estos requerimientos, por lo que la solución elegida ha sido **Mantener como arquitectura de procesado el KIT TigerSHARC TS101S de Analog Devices.**

7.3.4.- Módulo de procesado digital: Arquitectura software

7.3.4.1.- Ubicación del módulo de Control del Sistema

El criterio fundamental es permitir el máximo aprovechamiento de la capacidad del DSPA para el procesado de señal, a fin de optimizar las especificaciones de procesado digital (filtros más selectivos, etc.). Es interesante poder llevar a cabo cambios desde el demodulador en tiempo real sobre parámetros del procesado, sin necesidad de recompilar el código. También es importante que la solución elegida sea fácil de implementar. Un control avanzado de la comunicación en red es interesante, pero de una prioridad menor.

Criterios para la selección

✧	Especificaciones exigentes en el procesado de señal	60%
✧	Flexibilidad en el control del módulo de procesado digital	25%
✧	Flexibilidad en el control del módulo de comunicaciones	5%
✧	Sencillez	10%

Las alternativas se evalúan en Tabla 8:

Criterio	Ponderación	En DSPB	Control Distribuido
Especificaciones de procesado de señal	60%	10	7
Flexibilidad procesado	25%	5	10
Flexibilidad comunicaciones	5%	10	6
Sencillez	10%	8	4
TOTAL	100	8.6	7.4

Tabla 8: Selección de alternativa para la ubicación del módulo de control del sistema

La importancia de maximizar la capacidad de procesado y de proporcionar una solución sencilla ha determinado **Ubicar el módulo de Control del Sistema en el DSPB.**

7.3.4.2.- Arquitectura de gestión de eventos del programa.

El requerimiento clave es la sencillez de diseño, a fin de minimizar el tiempo de desarrollo. Los mecanismos de sincronización entre procesadores, la capacidad de

multiproceso en cada DSP y los bajos tiempos de latencia son interesantes para lograr una solución flexible y escalable. También es interesante un diseño portable reutilizable en otras arquitecturas, especialmente el módulo de comunicaciones (véase 7.2.4.2.-).

✧	Sencillez en el diseño	55%
✧	Portabilidad a otras arquitecturas	25%
✧	Flexibilidad y escalabilidad de la solución	20%

Las alternativas se evalúan en Tabla 9

Criterio	Ponderación	Interrupciones	Soporte Kernel
Sencillez en el diseño	55%	8	6
Portabilidad	25%	9	0
Flexibilidad y escalabilidad	20%	5	10
TOTAL	100%	7.7	5.3

Tabla 9: Selección de alternativa para la arquitectura de gestión de eventos del programa.

La decisión se ha inclinado en favor de **Arquitectura basada en interrupciones**. Se observa que el tiempo de aprendizaje del manejo del Kernel específico del procesador casi compensa la complejidad de la implementación de la sincronización utilizando interrupciones. Sin embargo, en cuanto a portabilidad es mejor solución esta segunda opción, lo que justifica la decisión tomada.

7.3.5.- Módulo de comunicaciones: Arquitectura software

En este caso el factor más importante es que los retardos con los que las muestras llegan al sistema demodulador sean uniformes, a fin de facilitar la recuperación del flujo de muestras con cadencia constante. La portabilidad y la sencillez de diseño también son aspectos a considerar. Es deseable poder seguir transmitiendo muestras a la vez que se procesan las informaciones para dar respuesta a una solicitud de estado, aunque con los requerimientos actuales de la cabecera es un factor secundario.

Para evaluar la arquitectura idónea se han utilizado los siguientes criterios:

Criterios de selección:

✧	Mínima variación de los retardos de transmisión	50%
✧	Portabilidad	20%
✧	Sencillez en la programación	20%
✧	Gestión de transmisión de muestras y mensajes de estado simultáneas	10%

Las alternativas se evalúan en Tabla 10.

Criterio	Ponderación	Gestión independiente	Gestión dependiente
Retardos uniformes	50%	5	10
Portabilidad	20%	9	5
Sencillez	20%	5	8
Gestión simultánea tx/rx	10%	10	0
TOTAL	100%	6.3	7.6

Tabla 10: Selección de alternativa para arquitectura software del módulo de comunicaciones

Se ha elegido **Interfaces de transmisión y recepción dependientes** como solución elegida ha sido que alcanza un mejor compromiso con los diferentes criterios.

7.3.6.- Protocolo de comunicaciones

El factor determinante del protocolo es que sea portable a una gran cantidad de tecnologías diferentes, para poder ser utilizado en todo el marco del proyecto más general del receptor DRM, así como en futuros diseños de equipos de medición. Para ello debe ser lo más simple posible, y minimizar la implementación requerida en los dispositivos de medida. Una buena respuesta ante flujos de mensajes de control elevados es deseable para permitir procedimientos de telemetría/telemando complejos con gran transferencia de información, aunque no es clave para los objetivos actuales del proyecto.

En este caso se han evaluado los siguientes criterios de selección:

◇	Sencillez de funcionamiento del protocolo	40%
◇	Mínima implementación requerida en la cabecera	40%
◇	Respuesta ante flujos de mensajes elevados	20%

Las alternativas se evalúan en Tabla 11

Criterio	Ponderación	ARQ S&W completo	ARQ S&W simplificado
Sencillez	40%	5	10
Cabecera simple	40%	2	10
Respuesta ante flujos de mensajes elevados	20%	10	0
TOTAL	100%	4.8	8

Tabla 11: Selección de alternativa para el protocolo de comunicaciones

La alternativa elegida es **ARQ Stop & Wait simplificado**.

8.- DESCRIPCIÓN DE LA SOLUCIÓN. RESUMEN DEL DISEÑO

En este apartado se describe la solución elegida para la cabecera DRM, resumiendo sus aspectos de diseño Hardware y Software más importantes.

8.1.- DESCRIPCIÓN HARDWARE DE LA CABECERA DIGITAL

La realización del proyecto se ha traducido en el diseño, construcción y verificación del prototipo que se muestra en Figura 15.

El prototipo está formado por tres circuitos impresos conectados entre sí:

- Un **tarjeta electrónica de procesamiento analógico** (a la izquierda de la fotografía).
- Una **tarjeta electrónica de recepción y transmisión de señal**, que integra un módulo de acondicionamiento y digitalización de señal, y un módulo de comunicaciones Ethernet (a la derecha de la fotografía, tarjeta superior)
- Una **arquitectura comercial de procesamiento digital de señal**, compuesta por el **KIT de desarrollo Tigersharc TS101S de Analog Devices**, adquirida por el grupo TSR (a la derecha de la fotografía).

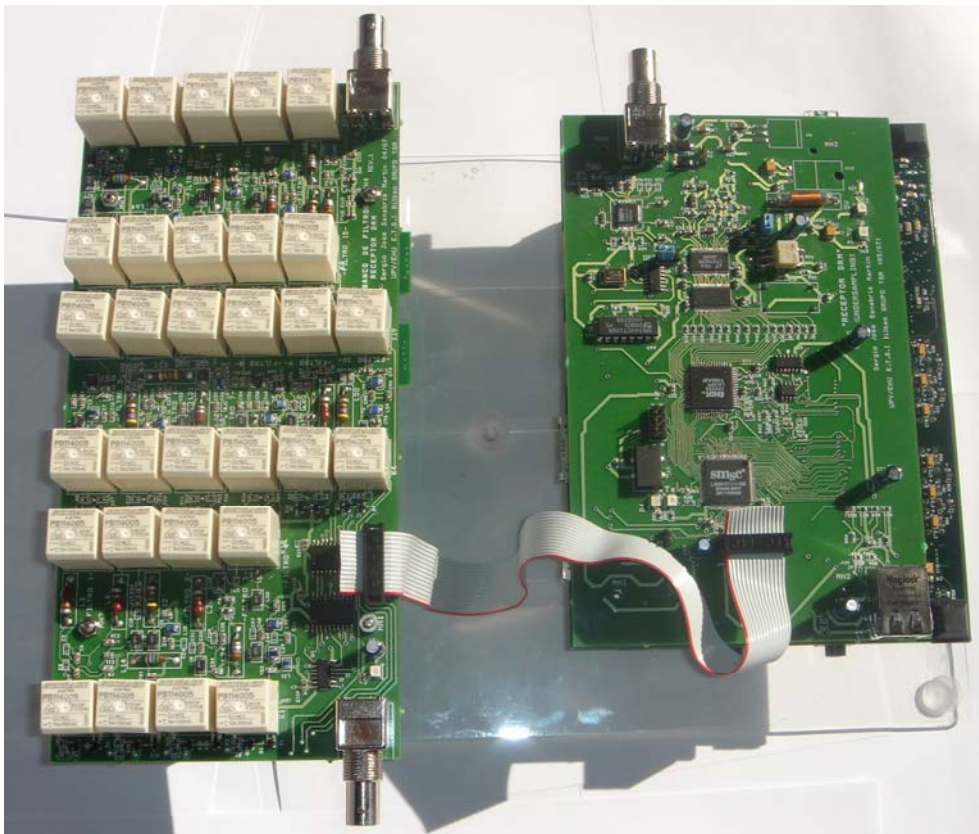


Figura 15: Prototipo implementado de la cabecera DRM

En Figura 16 se detalla el diagrama de bloques de la cabecera.

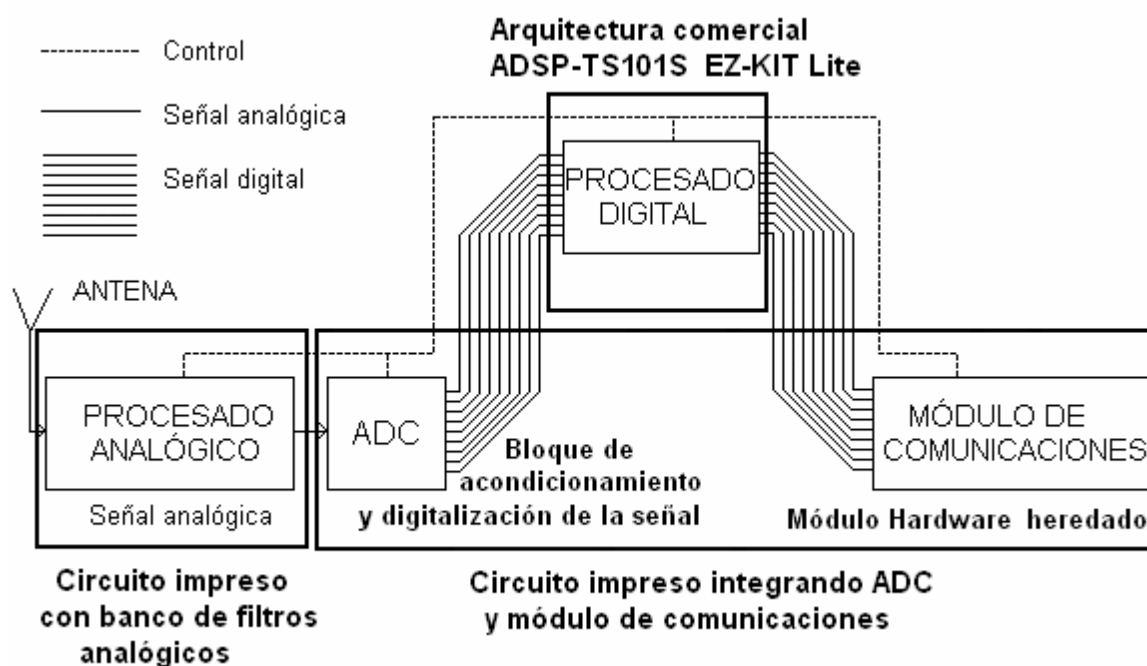


Figura 16: Diagrama de bloques hardware de la cabecera digital

El **módulo de procesamiento analógico** es responsable de limitar la señal en banda de forma previa a su digitalización, para evitar efectos de solapamiento espectral indeseados al digitalizar la señal.

El **módulo de acondicionamiento y digitalización de señal** proporciona un nivel adecuado de potencia a la señal y la digitaliza a una frecuencia inferior a la clásica de Nyquist, transmitiendo las muestras digitalizadas al bloque de procesamiento de señal.

El **módulo de procesamiento digital** está formado por dos procesadores de señal, que extraen la información del canal DRM deseado a partir de las muestras digitales a su entrada. Incorpora interfaces para la adquisición de datos del módulo ADC, la comunicación entre los dos procesadores, el control de los dispositivos del bloque de procesamiento analógico y digitalización de la señal y la transferencia de datos al módulo de comunicaciones.

Un **módulo de comunicaciones** está formado por un circuito integrado LAN91C111 de SMSC que implementa los niveles PHY y MAC de Ethernet. El diseño Hardware de este módulo es heredado de un proyecto anterior [8] .

8.1.1.- Solución para el módulo de procesamiento analógico

En el **módulo de procesamiento analógico** (Figura 16) la señal de antena se discrimina la porción de banda correspondiente al canal de DRM deseado. Se utiliza un banco de filtros llevándose a cabo la selección con una lógica de conmutación en base a relés.

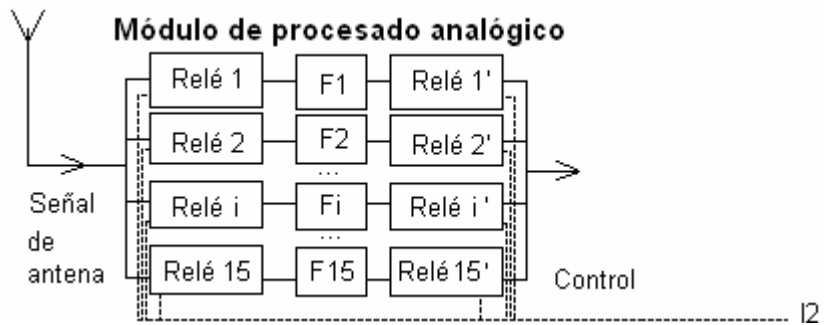


Figura 17: Solución para el módulo de procesamiento analógico

Para poder procesar toda la banda en tiempo real se necesita un total de **15 filtros analógicos** y cuatro frecuencias de muestreo diferentes, como se muestra en Figura 18.

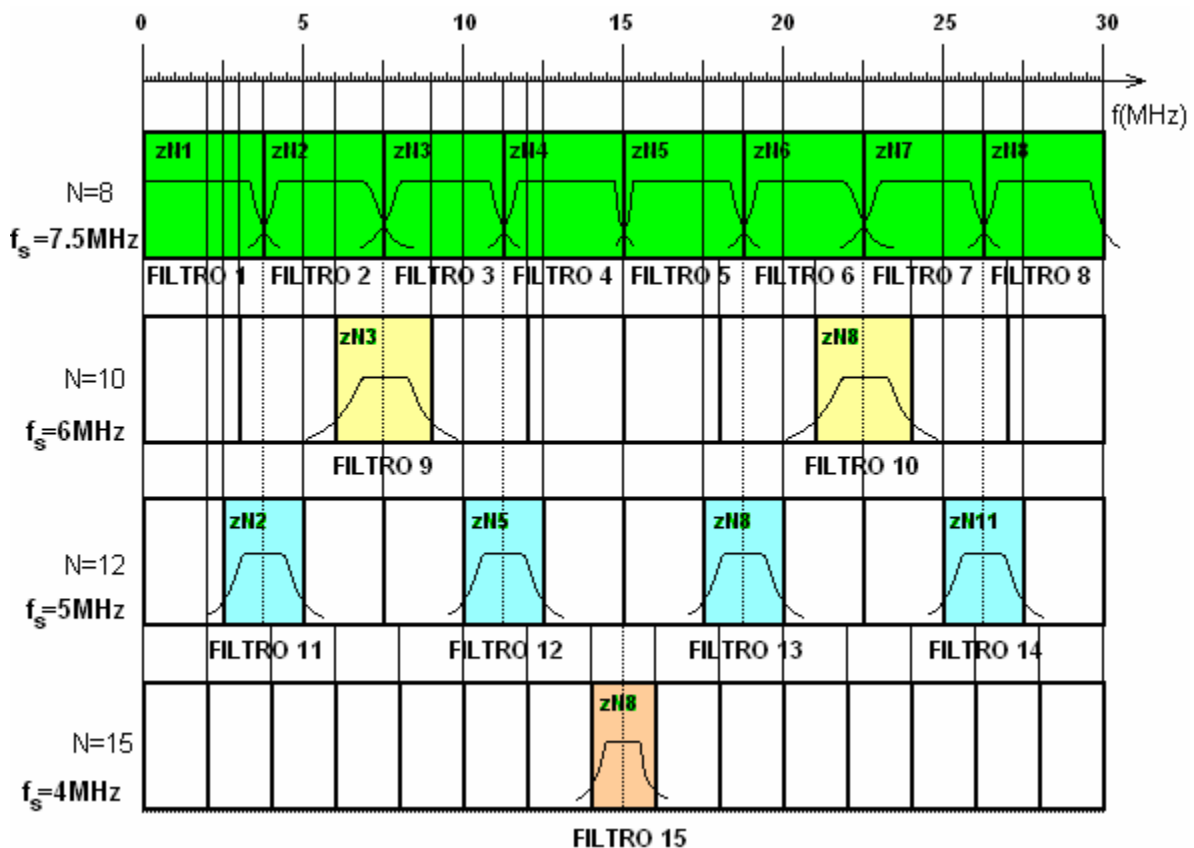


Figura 18: Filtros analógicos requeridos para acometer el diseño en tiempo real

Se utiliza **un relé a la entrada y otro a la salida de cada filtro**, a fin de minimizar la atenuación de la señal. El camino de señal deseado se selecciona habilitando el relé de entrada y salida del filtro correspondiente desde el módulo de procesamiento digital.

8.1.2.- Solución para el módulo ADC

La solución de diseño para el módulo de acondicionamiento y digitalización de la señal se resume en Figura 19.

Después del filtrado se amplifica la señal con un amplificador de ganancia variable. Se utiliza un módulo de **Control Automático de Ganancia (CAG)**, controlable desde la arquitectura de procesado digital, que garantiza un nivel adecuado de potencia para la digitalización. La amplificación no se hace antes del filtrado para evitar los efectos de distorsión que se dan en una amplificación conjunta de toda la banda, debido a la transferencia de energía de los canales con más potencia a los más débiles

A continuación, la señal es digitalizada utilizando un **Convertor Analógico Digital (ADC)**. Para la digitalización se usa una generación analógica de la frecuencia de muestreo, a partir de dos **osciladores analógicos a 12MHz y 15MHz**. Diezmando por dos o por tres en el módulo de procesado digital se generan las cuatro frecuencias de muestreo necesarias para digitalizar toda la banda DRM, según se muestra en Figura 18. Se selecciona el oscilador deseado mediante una lógica digital.

La **interfaz de datos con la arquitectura de procesado digital** se resuelve en base a un mecanismo asíncrono, que garantiza que no se pierden muestras aunque en un instante determinado el módulo de procesado digital no esté listo para leerlas. Se utiliza una **memoria FIFO de doble puerto** en la que el módulo ADC deposita datos y el DSP los lee de forma completamente independiente.

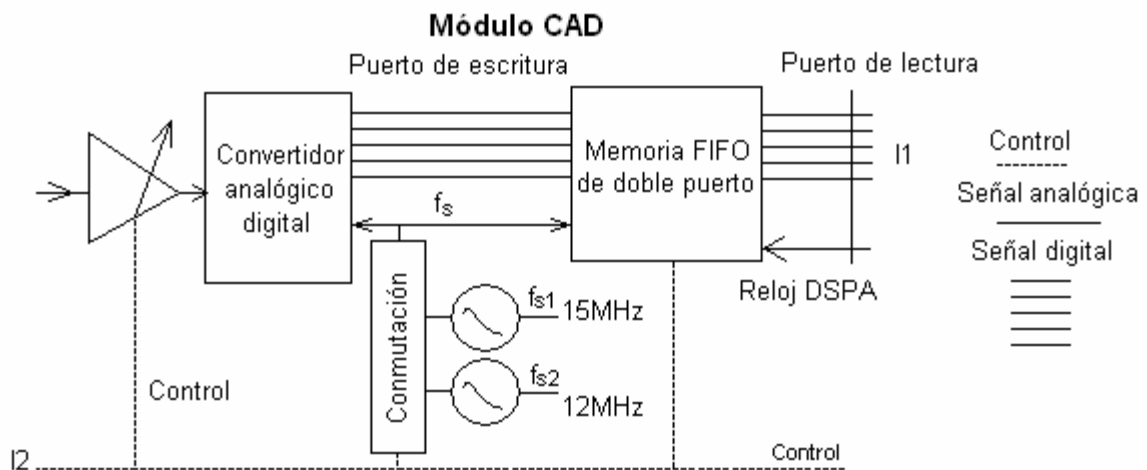


Figura 19: Solución para el módulo ADC

8.2.- DESCRIPCIÓN SOFTWARE DE LA CABECERA DIGITAL

La cabecera digital se compone de dos módulos software **basados en arquitectura con interrupciones**, los cuales se muestran en Figura 20.

- Un **módulo de procesado** en el que se reciben las muestras digitalizadas del canal DRM y se procesan para su **paso a banda base**, según las especificaciones del grupo de investigación TSR, recogidas en ANEXO 1 - . Además, este módulo lleva a cabo el control sobre el hardware analógico requerido para el procesado. Se ubica en un DSP de los dos disponibles.
- El **módulo de comunicaciones software**, en el otro DSP, gestiona la transmisión de muestras procesadas a través de Ethernet al demodulador. Además, este DSP incorpora la **unidad de control del sistema**, que coordina el funcionamiento de todas las partes de la cabecera, tanto hardware como software. La unidad de control está íntimamente relacionada con los procedimientos de telemando y telemetría implementados en el módulo de comunicaciones, para la gestión remota de la cabecera desde un equipo demodulador.

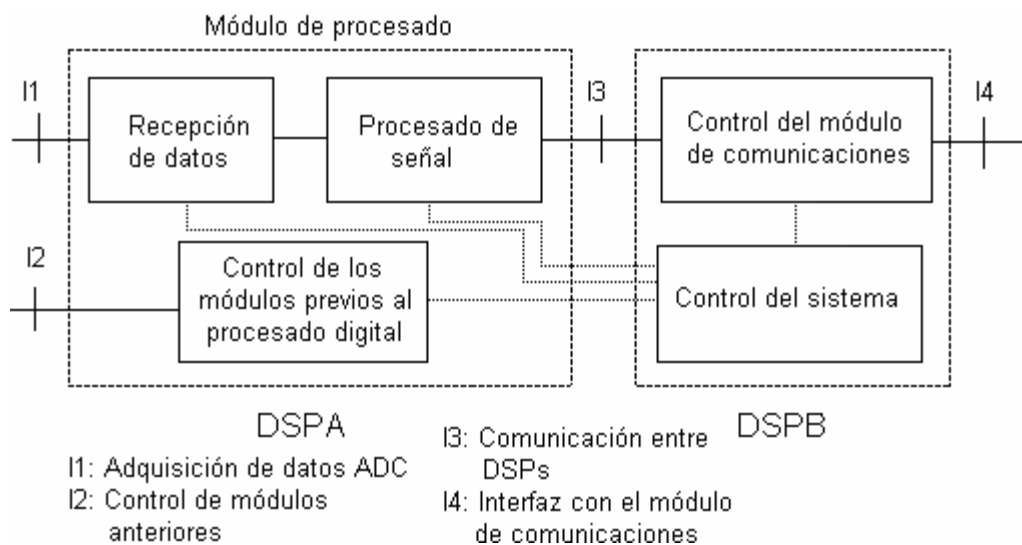


Figura 20: Diagrama de bloques software de la cabecera digital

Además de estos dos módulos, se han diseñado **aplicaciones de prueba** para PC, que permiten configurar el prototipo a través de la red Ethernet, y generar ficheros de muestras digitalizadas a partir de la información que éste genera.

8.2.1.- Solución para el módulo de procesamiento digital de señal

El módulo de procesamiento de señal software se compone de dos etapas (Figura 21):

- **Diezmado inicial**, que completa el proceso digitalización por el banco de filtros analógicos y la digitalización con banco de osciladores analógicos.
- **Cadena de procesamiento**. Consiste en una **multiplicación por un tono complejo digital** que traslada el espectro de la señal digitalizada a banda base, para después discriminar el ancho de banda del canal deseado mediante una **cadena de filtros pasabajo y diezmados** sucesivos. Se utiliza esta técnica para reducir rápidamente el flujo de muestras a la entrada de la cabecera. Se tienen cuatro cadenas de procesamiento diferentes, dependiendo de qué frecuencia de muestreo de las cuatro que requiere la cabecera se utilice. A la salida del procesamiento se lleva a cabo una nueva multiplicación por un tono complejo para conseguir una señal a la salida de la cabecera con las especificaciones deseadas (ver ANEXO 1 -). La frecuencia de muestreo a la salida del procesamiento es la misma independientemente de la cadena de procesamiento utilizada.

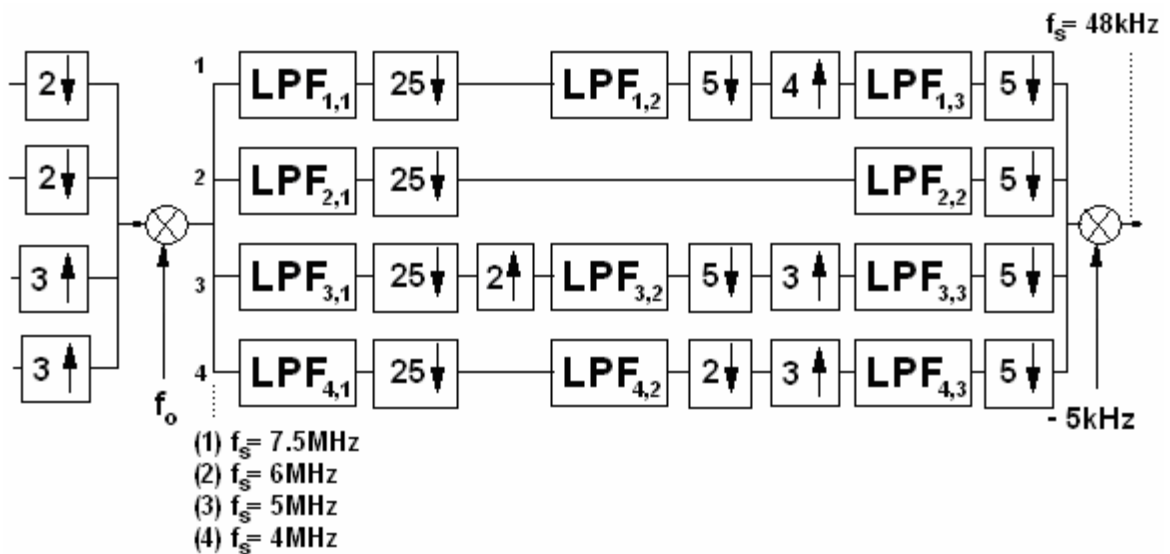


Figura 21: Solución para el módulo de procesamiento digital de señal

8.2.2.- Solución para el módulo de comunicaciones y control del sistema

Los módulos de comunicaciones y control se encuentran esquematizados en Figura 22. Se reciben datos del DSP de procesado, se paquetizan y se envían al controlador Ethernet LAN91C111, programando este último para que los transmita al demodulador.

Por otra parte se reciben **mensajes de telemando y telemetría** del controlador de red que, tras efectuar la operación de configuración o lectura de parámetros solicitada, se reenvían al demodulador alterando su estructura de datos para añadir la información de estado de la cabecera.

El controlador Ethernet cuenta con una interfaz de estado que informa al programa del estado de transmisión o recepción de muestras; o de situaciones error, utilizándose esta información para sincronizar el funcionamiento del resto de subbloques del módulo de comunicación.

La **recepción tiene prioridad sobre la transmisión**, dado que se considera que un procedimiento de configuración es prioritario sobre la transmisión de muestras, si bien se controla el número de paquetes recibidos para garantizar el uso equitativo de los recursos del controlador Ethernet.

Se implementan procedimientos mínimos de **control de flujo** y **control de congestión**, para recuperar a la cabecera de pérdidas puntuales de información, y para detectar y salir de situaciones irreversibles en la transmisión o recepción de datos.

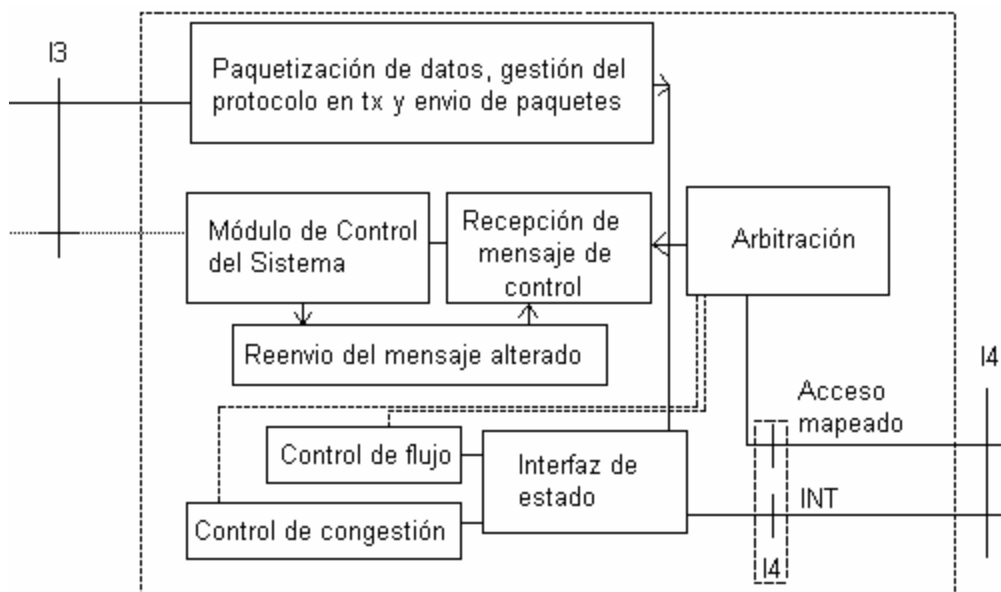


Figura 22: Solución para el módulo de comunicaciones y control del sistema

8.3.- DESCRIPCIÓN DEL PROTOCOLO DE COMUNICACIONES

El protocolo de comunicaciones distingue entre **un plano de control** para la transmisión de mensajes de telemetría y telemando y **un plano de usuario** para la transmisión de muestras de la cabecera al demodulador.

Se ha implementado sobre el controlador de red la **pila de protocolos TCP/IP**, por ser la más extendida, eligiendo UDP como protocolo de transporte por ser sencillo de implementar y portable a arquitecturas muy simples, además de ser suficiente en una red Ethernet con pocos equipos (el nivel de enlace puede resolver la mayoría de las situaciones de error).

- Para la **transmisión de muestras** se utiliza **RTP** [11] , ya que constituye un protocolo estandarizado para transmisión en tiempo real que contempla todas las extensiones planteadas en los objetivos parciales del proyecto.
- Los **mensajes de control** utilizan el formato dictado por el estándar DRM [12] [13] , en su especificación **DCP** [13]. Su transmisión se hace fiable mediante una implementación simplificada a nivel de aplicación del protocolo ARQ Stop & Wait.

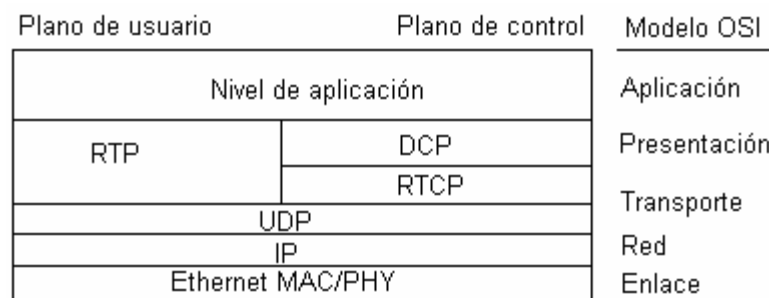


Figura 23: Solución para el protocolo de comunicaciones

8.4.- PLANOS RESUMIDOS DEL DISEÑO

En ANEXO 3 - se recogen esquemas resumidos del diseño de la cabecera digital, según lo expuesto a lo largo de este apartado:

Figura 28: Resumen del diseño hardware completo de la cabecera

Figura 29: Diseño software completo de la cabecera

9.- PLAN DE TRABAJO

A lo largo de este apartado se detalla el plan de trabajo que se ha seguido para organizar en el tiempo las diferentes tareas realizadas en el marco del proyecto.

El proyecto se inició en el año 2006, mientras el autor cursaba 4º de Carrera, como parte de sus labores de colaboración dentro del grupo de investigación TSR. Durante este período diseñó el software para el módulo de comunicaciones de la cabecera, y la especificación para el protocolo de comunicaciones con el demodulador. En el año 2007, ya como proyectista del grupo, ha diseñado e implementado los aspectos de procesado de señal del prototipo de cabecera con digitalización subniquist, tanto Hardware como Software; unificándolos con los trabajos anteriores para obtener un diseño completo.

9.1.- FASES DE REALIZACIÓN DEL PROYECTO

El trabajo realizado se ha dividido en dos fases bien diferenciadas:

- La primera, ***Diseño de la especificación del protocolo e implementación de la arquitectura software del módulo de comunicaciones***, corresponde a los paquetes de trabajo ejecutados durante el año 2006.
- La segunda, ***Diseño e implementación de la arquitectura hardware y software de procesado de señal, y unificación de todos los módulos***, a los paquetes de trabajo correspondientes al año 2007.

9.2.- EQUIPO Y RÉGIMEN DE TRABAJO

En Tabla 12 se muestran los integrantes del equipo de trabajo establecido para realizar el proyecto:

Nombre	Empresa	Responsabilidad
Iñaki Eizmendi	E.T.S.I.	Director del proyecto.
Sergio Sanabria	E.T.S.I.	Ingeniero Junior.
Sergio Sanabria	E.T.S.I.	Ingeniero Técnico.
Sergio Sanabria	E.T.S.I.	Administrativo

Tabla 12: Integrantes del equipo de trabajo

Las personas que forman el equipo han cumplidos sus funciones en el régimen de trabajo que se indica a continuación.

Director del proyecto (Iñaki Eizmendi Izquierdo): Labor organizativa, de supervisión y de consultoría técnica.

Régimen de trabajo: según las necesidades del proyecto, en base a tutorías.

Alumno (Sergio José Sanabria Martín): Encargado de la ejecución de las tareas relacionadas con el logro de los objetivos del proyecto. En el presupuesto se distingue entre **Ingeniero Junior** (labores de diseño de ingeniería), **Ingeniero Técnico** (tareas de implementación específicas), y **Administrativo** (formatización de documentos oficiales del proyecto a partir de las notas de diseño), si bien todos ellos son la misma persona.

Régimen de trabajo: el reflejado en Tabla 13.

<i>Primera fase</i>	
Del 13 de Febrero de 2006 al 1 de Septiembre de 2006	Dedicación parcial (3 horas/día, 5 días/semana, 4 semanas/mes).
<i>Segunda fase</i>	
Del 18 de Diciembre de 2006 al 12 de Febrero de 2007	Dedicación parcial (3 horas/día, 5 días/semana, 4 semanas/mes)
Del 12 de Febrero de 2006 al 22 de Julio de 2007	Dedicación completa (7 horas/día, 5 días/semana, 4 semanas/mes)

Tabla 13: Régimen de trabajo para el Proyecto

Equivalencias:

1 mes hombre = 4 semanas hombre = 20 días hombre = 160 horas hombre

9.3.- PLAZOS PARA LA REALIZACIÓN DEL PROYECTO

A continuación se resumen los plazos planificados para el desarrollo del proyecto

Etapas	Comienzo	Final	Plazo
Primera fase	13 de Febrero de 2006	1 de Septiembre de 2006	186 días (7 meses)
Segunda fase	18 de Diciembre de 2006	22 de Julio de 2007	217 días (7 meses)
Proyecto	13 de Febrero de 2006	22 de Julio de 2007	403 días (14 meses)

Tabla 14: Plazos para la realización del proyecto.

9.4.- DEFINICIÓN DE PAQUETES DE TRABAJO Y TAREAS

En la planificación se han aumentado las holguras de los últimos paquetes de trabajo respecto a los primeros, para disponer de margen suficiente para garantizar el éxito del proyecto ante imprevistos.

9.4.1.- Siglas utilizadas:

PTx : Paquete de trabajo con numeración x

T.Xxx : Tarea a realizar dentro del paquete de trabajo X con numeración xx.

TER : Tiempo estimado de realización.

CT: Carga de trabajo estimada en tiempo de dedicación.

FY_UExxx : Unidad de entrega a realizar dentro del paquete X con numeración xx, perteneciente a la fase Y del proyecto.

Rev: Tiempo de revisión necesario para la tarea.

Resp: Responsable de la revisión de la tarea. Nota: Si no se indica lo contrario el responsable de realización de la tarea es **Ingeniero Junior**, y el responsable de la revisión de la misma es **Director del Proyecto**.

9.4.2.- Descripción de paquetes de trabajo y tareas asociadas

9.4.2.1.- Primera Fase: Comunicaciones

PT1.- Puesta en operativo del controlador de red Ethernet:

En este paquete de trabajo se revisa el correcto montaje desde un punto de vista eléctrico del Hardware del módulo de comunicaciones heredado. A continuación, se diseña un conjunto de librerías de código de alto nivel para programar el controlador de red de forma sencilla desde los DSPs, y llevar a cabo las operaciones requeridas para establecer una comunicación a nivel de enlace MAC.

TER = 6 semanas, F1_UE1, CT= 12 díashombre

T.11.-Validación y revisión del Hardware del Módulo de Comunicaciones

TER = 12 días, F1_UE11, (CT=2 díashombre) Rev = 1 díashombre

T.12.- Diseño de librerías software de interfaz con el controlador de red

TER = 15 días, F1_UE12, (CT=5 díashombre Resp = Ingeniero Técnico)

T.13.- Diseño de librerías software con funcionalidades básicas de enlace.

TER = 19 días, F1_UE13, (CT=5 díashombre Resp = Ingeniero Técnico)

PT2.- Especificación del protocolo de comunicaciones

Se resuelven las funcionalidades y estructuras de datos a implementar, partiendo del nivel de aplicación, y prosiguiendo de forma descendente con los niveles de presentación, transporte y red. Se deben reutilizar al máximo protocolos existentes y se resolverán para cada nivel las funcionalidades a implementar.

TER = 4 semanas, F1_UE2, CT= 11 díashombre

T.21.- Especificación del empaquetado de las muestras para su transmisión en la red

TER = 4 semanas, (CT = 2 díashombre)

T.22.- Especificación detallada del protocolo de telemetría/telemando de nivel de aplicación

TER = 4 semanas, (CT= 4 díashombre)

T.23.- Especificación detallada de los protocolos de nivel de transporte y red requeridos

TER = 4 semanas, (CT=5 díashombre) Rev = 2 díashombre

PT3.- Desarrollo del software completo de comunicaciones de la cabecera

Se desarrollan sobre el módulo de comunicaciones de la cabecera librerías software que implementen las estructuras de datos especificadas para la comunicación en el protocolo especificado. Además se diseña el software de un módulo de comunicaciones completo para el prototipo de la cabecera, con mecanismos de control de flujo y congestión, y arbitración entre los procesos de emisión y recepción.

TER = 18 semanas, F1_UE3, CT=27 díashombre

T.31.- Implementación de las estructuras de datos del protocolo sobre la cabecera

TER = 4 semanas, F1_UE31 (CT=12 díashombre Resp = Ingeniero Técnico)

T.32.- Diseño e implementación del módulo de comunicaciones completo

TER = 11 semanas, (CT=9 díashombre)

T.33.- Testeo y optimización del software de comunicaciones de la cabecera

TER = 14 semanas, F1_UE32 (CT=6 días hombre) Rev = 1 díahombre

*9.4.2.2.- Segunda Fase: Procesado de señal***PT1.- Desarrollo de un modelo teórico para el procesado de señal**

En este apartado se obtiene todo el conocimiento necesario sobre los requerimientos y las técnicas de procesado de señal necesarias para desarrollar un modelo teórico del procesado a implementar en la cabecera. Se utiliza alguna plataforma de simulación para validar el buen funcionamiento del modelo obtenido.

TER = 9 semanas, F2_UE1, CT= 24 díashombre

T.11.- Estudio de anteriores Proyectos de Fin de Carrera sobre el tema

TER= 5 semanas, (CT=9 díashombre)

T.12.- Estudio de las técnicas de procesado de inframuestreo

TER= 5 semanas, (CT=6 díashombre)

T.13.- Desarrollo de un modelo teórico para el procesado de señal y simulación

TER= 4 semanas, (CT=9 díashombre) Rev = 1 díahombre

PT2.- Implementación del procesado digital software de señal.

En este paquete se plantea la implementación del modelo teórico de procesado de señal sobre los DSPs de la cabecera. En primer lugar se hace un estudio de las diferentes optimizaciones posibles en los procesadores. A continuación se lleva a cabo una implementación preliminar del procesado digital para después optimizarla en el menor número de ciclos de procesado posible, permitiendo un procesado exigente en tiempo real.

TER = 4 semanas, F2_UE2, CT= 15 díashombre

T.21.- Estudio de las facilidades de procesado de los DSPs

TER = 1 semana, (CT= 6 díahombre Resp = Ingeniero Técnico)

T.22.- Implementación preliminar del modelo teórico de procesado de señal

TER= 3 semanas, (CT=5 díashombre Resp = Ingeniero Técnico)

T.23.- Optimización del código para operación en tiempo real

TER= 3 semanas, (CT=7 díashombre Resp = Ingeniero Técnico) Rev = 2 díashombre

PT3.- Elección de componentes necesarios para el hardware de procesamiento de señal

Se eligen justificadamente los diferentes componentes necesarios para el hardware de procesamiento entre los disponibles comercialmente, reutilizando en la medida de lo posible diseños anteriores. Se desarrollan librerías software para controlar estos componentes junto a códigos de test sencillos para verificar su funcionamiento.

TER = 3 semanas, F2_UE3, CT= 10 díashombre

T.31.- Diseño del módulo de procesamiento analógico.

TER= 3 semanas, F2_UE31 (CT=7 díashombre) Rev = 1 díashombre

T.32.- Diseño del módulo ADC

TER= 3 semanas, F2_UE32 (CT=3 díashombre) Rev = 1 díashombre

PT4.- Diseño de la arquitectura detallada del hardware de procesamiento analógico

El objetivo de este bloque es disponer de un diseño hardware completo del prototipo, en el que se sitúen los diferentes componentes electrónicos y sus interconexiones físicas. Los planos obtenidos deben ser suficientes para la construcción de un circuito impreso.

TER = 5 semanas, F2_UE4, CT= 15 díashombre

T.41.- Diseño del diagrama de bloques completo del hardware de procesamiento analógico

TER=3 semanas, F2_UE41 (CT=8 díashombre) Rev = 1díashombre

T.42.- Ubicación y rutado sobre un prototipo de los componentes requeridos

TER=2 semanas,F2_UE42 (CT=9 díashombre Resp= Ing.Técnico) Rev=3díashombre

PT5.- Desarrollo completo del software de la cabecera

Se agrupan el módulo SW de procesamiento digital de señal y los necesarios para controlar la arquitectura HW. Se resuelve la integración de los módulos de comunicaciones y los procedimientos de sincronización entre ellos.

TER = 4 semanas, F2_UE5, CT= 18 díashombre

T.51. – Desarrollo del software completo de procesamiento

TER= 4 semanas, (CT=8 díashombre)

T.52.- Integración de los módulos de comunicaciones y de señal

TER= 4 semanas, (CT=5 díashombre)

PT6.- Montaje del prototipo. Testeo y optimización

Una vez disponibles todos los recursos Hardware necesarios (componentes y placa con trazado de pistas) se procede al montaje y testeo eléctrico del prototipo. Además se depura completamente el software desarrollado y se plantean optimizaciones de todo el sistema.

TER = 6 semanas, F2_UE6, CT= 23 díashombre

T.61.- Soldadura y testeo eléctrico del hardware prototipo

TER= 2 semanas, F2_UE61 (CT= 8 díashombre Resp= Ingeniero Técnico)

Rev=1día hombre

T.62.- Depuración del software del prototipo

TER= 4 semanas, (CT=9 díashombre) Rev = 2 díashombre

T.63.- Optimización

TER= 4 semanas, F2_UE62 (CT=8 díashombre)

*9.4.2.3.- Aspectos comunes a las dos fases de realización***PTX.- Gestión del Proyecto de Fin de Carrera**

En este paquete se incluyen la documentación , revisión y seguimiento del proyecto.

TER = Duración proyecto

T.X1.- Documentación del Proyecto de Fin de Carrera

TER= Duración proyecto, UEX1 (CT=15 díashombre Resp = Administrativo)

Rev = 2 díashombre

La documentación oficial al presentar con el Proyecto de Fin de Carrera se elabora de forma paralela a su realización, en base a las notas de diseño generadas en cada uno de los paquetes, con un formato de presentación común.

T.X2.- Reuniones y seguimiento del proyecto

TER= Duración proyecto, UEX2 (Resp = Director del Proyecto)

En paralelo a la realización de los paquetes de trabajo el Ingeniero Junior se reúne con el Director del Proyecto para comentar aspectos problemáticos del proyecto, y llevar a cabo un seguimiento de su desarrollo. La carga de trabajo total asignada al Director del Proyecto se traduce en la suma de los tiempos de revisión de todas las tareas comentadas.

9.5.- HITOS EN EL PROYECTO

HITO	Fecha	Descripción
1	13 de Febrero de 2006	Fecha de inicio del proyecto
2	1 de Septiembre de 2006	Arquitectura de comunicaciones operativa.
3	9 de Abril de 2007	Disponible lista de componentes hardware necesarios para el montaje del prototipo.
4	14 de Mayo de 2007	Disponibles planos del hardware del prototipo detallados para su construcción.
5	11 de Junio de 2007	Disponible software completo de la cabecera. Inicio del montaje hardware del prototipo, verificación y optimización.
6	22 de Julio de 2007	Prototipo de cabecera totalmente operativo Documentación del Proyecto de Fin de Carrera.

Tabla 15: Hitos en el proyecto

9.6.- LISTA DE UNIDADES DE ENTREGA

9.6.1.- Primera Fase: Módulo de Comunicaciones

Unidad de Entrega	Descripción
F1_UE1	Controlador Ethernet operativo hasta el nivel MAC.
F1_UE11	Hardware del prototipo de placa de comunicaciones validado a nivel electrónico.
F1_UE12	Librerías SW de interfaz de bajo nivel con el controlador Ethernet
F1_UE13	Librerías SW de funciones básicas de nivel de enlace
F1_UE2	Borrador de especificación de un protocolo de comunicaciones entre la cabecera digital y el demodulador
F1_UE3	Código final del módulo de comunicaciones. Documento final de especificación de un protocolo de comunicaciones entre la cabecera digital y el demodulador.
F1_UE31	Librerías SW completas del protocolo de comunicaciones.
F1_UE32	Código SW del módulo de comunicaciones testado y optimizado.

Tabla 16: Entregables para la primera fase de realización

9.6.2.- Segunda Fase: Módulo de Procesado Analógico

Unidad de Entrega	Descripción
F2_UE1	Documentos con el modelo teórico para el procesado de señal. Simulaciones de dicho procesado sobre plataforma arbitraria.
F2_UE2	Códigos de procesado digital de señal sobre DSPs.
F2_UE3	Componentes necesarios para el HW de procesado de señal
F2_UE31	Componentes necesarios para el módulo de procesado analógico.
F2_UE32	Componentes necesarios para el módulo ADC.
F2_UE4	Planos de diseño del HW de procesado de señal
F2_UE41	Diagrama de bloques completo del diseño HW.
F2_UE42	Planos detallados del hardware de procesado analógico para encargo de circuito impreso
F2_UE5	Código de la cabecera digital preparado para un testeo progresivo.
F2_UE6	Cabecera Digital de Alta Fidelidad para mediciones de Radio Digital por debajo de 30 MHz diseñada e implementada en prototipo.
F2_UE61	Hardware del prototipo verificado a nivel eléctrico
F2_UE62	Software de la cabecera depurado y optimizado

Tabla 17: Entregables para la segunda fase de realización

9.6.3.- Documentos relativos a la gestión del proyecto

Unidad de Entrega	Descripción
UEX1	Documentación del Proyecto de Fin de Carrera
UEX2	Actas de Reuniones

Tabla 18: Documentos relativos a la gestión del proyecto

9.7.- DISTRIBUCIÓN DE LAS TAREAS A LO LARGO DEL TIEMPO

9.7.1.- Primera fase: Diagrama Gantt

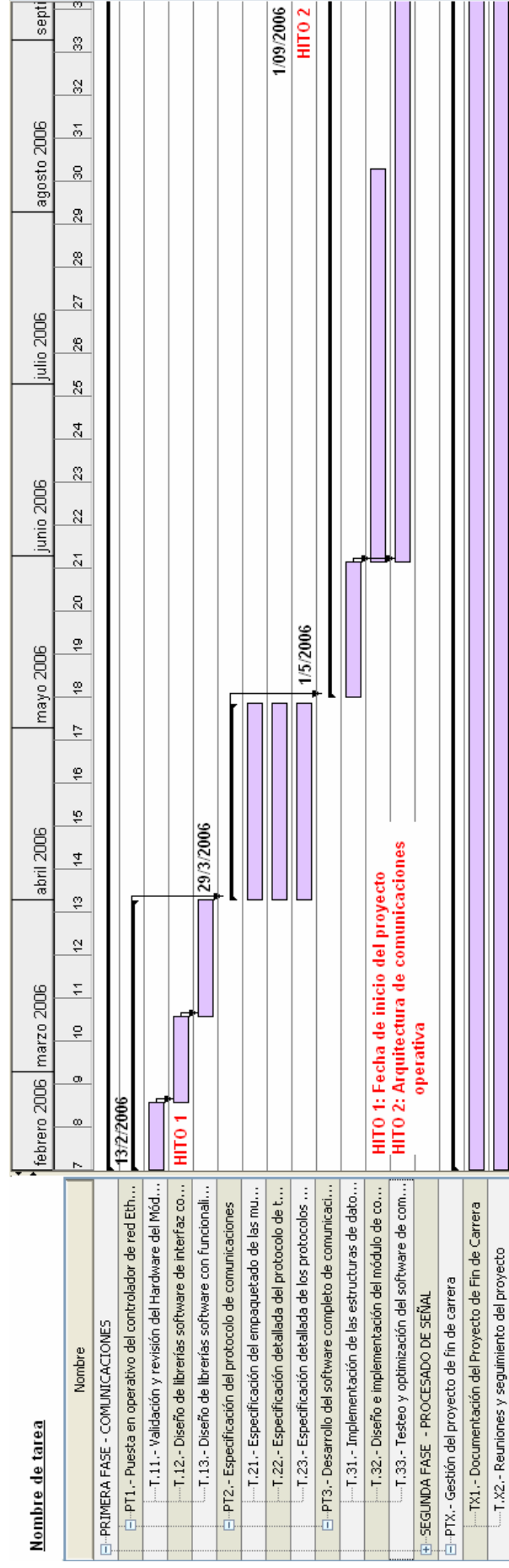


Figura 24: Diagrama Gantt para la primera fase de realización del proyecto.

9.7.2.- Segunda fase: Diagrama Gantt

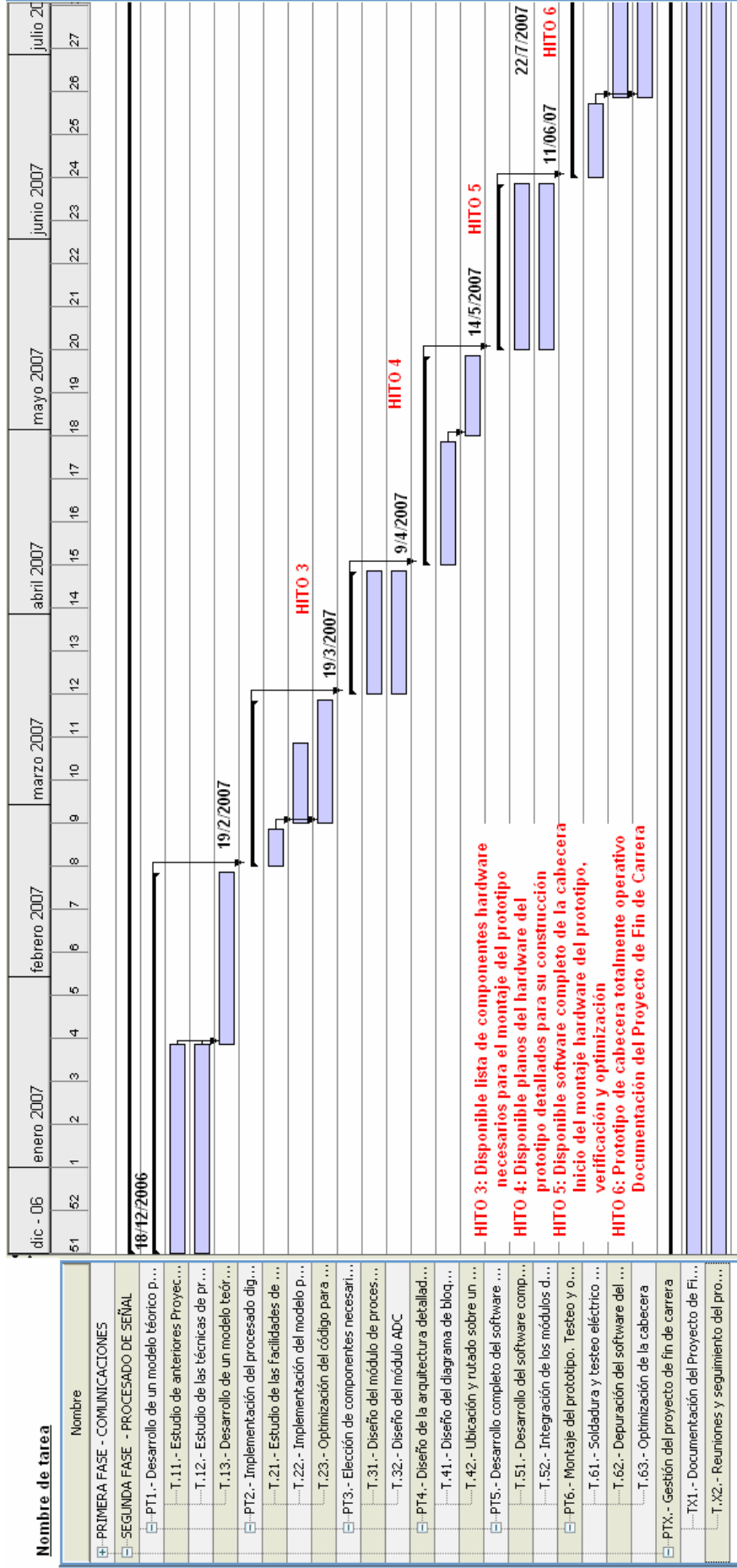


Figura 25: Diagrama Gantt para la segunda fase de realización del proyecto

10.- MEDIOS Y TÉCNICAS BÁSICAS

En este apartado se lleva a cabo una enumeración de los recursos materiales básicos utilizados durante la realización del proyecto, y de los medios de los que se ha dispuesto para su realización.

10.1.- RECURSOS NECESARIOS

10.1.1.- Hardware

Equipos de laboratorio necesarios para la implementación del prototipo

EZKIT TIGERSharc TS101S, plataforma de desarrollo para los módulos software

Generador de señales de radiofrecuencia

Analizador de redes

Analizador de espectros

Material necesario para la implementación del prototipo

Componentes electrónicos

Diseño por encargo de prototipo de placa PCB

Otros equipos

Ordenador portátil *Beep Intel® Core™ 2 CPU*

Material fungible de uso general

10.1.2.- Software

Software de uso general

Sistema Operativo *WindowsXP Profesional*

Suite de Ofimática *Microsoft® Office Word 2003*

Software de uso específico

Software procesado de señal *The Mathworks Inc. Matlab 6.5*

Software diseño electrónico *Orcad Capture 9.2 – Lite Edition / Pspice Lite Versión 9.2*

Entorno de desarrollo para EZ-KIT, *VisualDSP++ 4.5*

Analizador de protocolos *Ethereal*

10.2.- MEDIOS DISPONIBLES

- La Escuela Técnica Superior de Ingeniería de Bilbao cuenta con varias **instalaciones** (bibliotecas, centros de cálculos y laboratorios) donde se han realizado las tareas de documentación, diseño e implementación relacionadas con el proyecto.
- El grupo TSR disponía previamente de todo el **equipamiento de medida** necesario para la ejecución del proyecto.
- De partida se disponía de todas las **plataformas de desarrollo** necesarias para desarrollar el software de la cabecera, así como una arquitectura de procesamiento digital para su implementación.
- El grupo TSR cuenta con los **componentes electrónicos** más comunes para el desarrollo del prototipo de módulo hardware de procesamiento analógico. Además existen acuerdos con **distribuidores de prestigio**, **Farnell Components S.L.** [16] y **RS Amidata S.A.** [17] , que han garantizado la entrega del resto de componentes necesarios en un máximo de **48 horas**.
- La **fabricación del circuito impreso** para el prototipo de módulo hardware de procesamiento analógico se ha encargado a un **fabricante** con experiencia, **Kelan Elektronika S.A.** [18] , con el que el grupo ha trabajado en proyectos anteriores, con buenos resultados. El plazo de entrega ha sido de **20 días**.

11.- PRESUPUESTO

En este apartado se calcula el presupuesto final del proyecto. En primer lugar se lleva a cabo una valoración de los costes unitarios del proyecto, considerando recursos humanos, y los recursos materiales (tanto bienes amortizables como fungibles) utilizados. A partir de los costes unitarios se presupuestan las diferentes partidas del proyecto, entendiéndose cada paquete de trabajo como una partida independiente. Finalmente se calculan los costes totales incluyendo los gastos derivados de imprevistos.

11.1.- COSTES UNITARIOS

11.1.1.- Recursos humanos

Los **costes unitarios de recursos humanos** se reflejan en Tabla 19, considerando la plantilla que ha participado en el proyecto, expresado como **PVP en euros la hora sin IVA**. Se han asignado cuatro figuras: **Ingeniero Senior** (correspondiente al Director del Proyecto), **Ingeniero Junior**, **Ingeniero Técnico** y **Administrativo**, al fin de evaluar los costes reales del proyecto, si bien las tres últimas figuras han sido desempeñadas por el alumno.

Referencia	Nombre	Cargo	Coste unitario
Ing. Senior	Iñaki Eizmendi Izquierdo	Ingeniero Senior	60 €/hora
Ing. Junior	Sergio José Sanabria Martín	Ingeniero Junior	36 €/hora
Ing. Técnico	Sergio José Sanabria Martín	Ingeniero Técnico	27 €/hora
Administr.	Sergio José Sanabria Martín	Administrativo	18 €/hora

Tabla 19: Costes unitarios totales para los recursos humanos (PVP sin IVA)

11.1.2.- Recursos materiales

Los **costes unitarios totales** de los **recursos amortizables** se reflejan en Tabla 20 (**PVP expresado en euros sin IVA**). Al final de la lista se enumeran los recursos utilizados que se consideran amortizados por el grupo TSR debido a su elevada frecuencia de utilización, y que no se incluyen en el cálculo. Asimismo no se incluye en el presupuesto el software libre utilizado.

Referencia	Concepto	Precio	Amortización	Coste unitario
Gen. RF	Generador de radiofrecuencia	36.000€	5 años	600€/mes
Anal. Espectros	Analizador de espectros	21.000€	5 años	350€/mes
Anal. Redes	Analizador de redes	24.000€	5 años	400€/mes
EZKIT-TS101S	EZKIT TIGERSharc TS101S incluyendo Visual DSP++ 4.5	1.008€	2 años	42€/mes
Ord. Portátil	Ordenador portátil Beep Intel® Core™ 2 CPU con Windows XP y Microsoft® Office Word	1104€	2 años	46€/mes
Ethereal	Ethereal	0€	-----	0€/mes
Orcad	Orcad Capture 9.2 / Pspice Capture 9.2 / Matlab 6.5	1500€	Amortizado	0€/mes

Tabla 20: Costes unitarios totales de los recursos materiales amortizables (PVP sin IVA)

En Tabla 21 se reflejan los **costes totales de material fungible** previstos para la realización del proyecto (**PVP expresado en euros sin IVA**):

Referencia	Concepto	Precio
Componentes	Componentes electrónicos	300€
Prototipo	Diseño por encargo de circuito impreso para prototipo hardware	700€
Otros fungibles	Otros fungibles	1'500€

Tabla 21: Costes totales de material fungible (PVP sin IVA)

11.2.- MEDICIONES Y CÁLCULO DEL PRESUPUESTO

11.2.1.- Costes en recursos humanos

11.2.1.1.- Costes de la primera fase de realización: Comunicaciones

Partida	Código	Horas de trabajo	Coste unitario (€/hora)	Coste por persona	Coste de la tarea	Coste total por partida
PT.1	Puesta en operativo del controlador de red Ethernet					3'216€
T.11					1056€	
	Ing. Senior	8	60	480€		
	Ing. Junior	16	36	576€		
T.12					1080€	
	Ing. Técnico	40	27	1080€		
T.13					1080€	
	Ing. Técnico	40	27	1080€		
PT.2	Especificación del protocolo de comunicaciones					4'128€
T.21					576€	
	Ing. Junior	16	36	576€		
T.22					1152€	
	Ing. Junior	32	36	1152€		
T.23					2400€	
	Ing. Senior	16	60	960€		
	Ing. Senior	40	36	1440€		
PT.3	Desarrollo del software completo de comunicaciones de la cabecera					6'744€
T.31					1944€	
	Ing. Técnico	72	27	1944€		
T.32					1728€	
	Ing. Junior	48	36	1728€		
T.33					3072€	
	Ing. Senior	8	60	480€		
	Ing. Junior	72	36	2592€		
TOTAL PRIMERA FASE (PVP sin IVA)						##14'088€

Tabla 22: Presupuesto recursos humanos primera fase (PVP sin IVA)

11.2.1.2.- Costes de la segunda fase de realización: Procesado de señal

Partida	Código	Horas de trabajo	Coste unitario (€/hora)	Coste por persona	Coste de la tarea	Coste total por partida
PT.1	Desarrollo de un modelo teórico para el procesado de señal					7'392€
T.11					2592€	
	Ing. Junior	72	36	2592€		
T.12					1728€	
	Ing. Junior	48	36	1728€		
T.13					3072€	
	Ing. Senior	8	60	480€		
	Ing. Junior	72	36	2592€		
PT.2	Implementación del procesado digital software de señal					4'848€
T.21					1296€	
	Ing. Técnico	48	27	1296€		
T.22					1080€	
	Ing. Técnico	40	27	1080€		
T.23					2472€	
	Ing. Senior	16	60	960€		
	Ing. Técnico	56	27	1512€		
PT.3	Elección de componentes necesarios para el hardware de procesado de señal					3'840€
T.31					2496€	
	Ing. Senior	8	60	480€		
	Ing. Junior	56	36	2016€		
T.32					1344€	
	Ing. Senior	8	60	480€		
	Ing. Junior	24	36	864€		
PT.4	Diseño de la arquitectura detallada del hardware de procesado analógico					4'728€
T.41					2784€	
	Ing. Senior	8	60	480€		
	Ing. Junior	64	36	2304€		
T.42					1944€	
	Ing. Técnico	72	27	1944€		
PT.5	Desarrollo completo del software de la cabecera					3'744€
T.51					2304€	
	Ing. Técnico	64	36	2304€		
T.52					1440€	
	Ing. Técnico	40	36	1440€		

Partida	Código	Horas de trabajo	Coste unitario (€/hora)	Coste por persona	Coste de la tarea	Coste total por partida
PT.6 Montaje del prototipo. Testeo y optimización						8'064€
T.61					2208€	
	Ing. Senior	8	60	480€		
	Ing. Técnico	64	27	1728€		
T.62					2592€	
	Ing. Junior	72	36	2592€		
T.63					3264€	
	Ing. Senior	16	60	960€		
	Ing. Junior	64	36	2304€		
TOTAL SEGUNDA FASE (PVP sin IVA)						###32'616€

Tabla 23: Presupuesto recursos humanos segunda fase (PVP sin IVA)

11.2.1.3.- Costes comunes a todo el proyecto

Partida	Código	Horas de trabajo	Coste unitario (€/hora)	Coste por persona	Coste de la tarea	Coste total por partida
PT.X Gestión del Proyecto de Fin de Carrera						3'120€
T.X1					3120€	
	Ing. Senior	16	60	960€		
	Administr.	120	18	2160€		
TOTAL COSTES COMUNES (PVP sin IVA)						###3'120€

Tabla 24: Presupuesto recursos humanos costes comunes (PVP sin IVA)

11.2.1.4.- Costes totales

Fase de realización	Coste total
Primera fase de realización	14'088€
Segunda fase de realización	32'616€
Costes comunes a todo el proyecto	3'120€
TOTAL RECURSOS HUMANOS (PVP sin IVA)	####49'824€

Tabla 25: Presupuesto total en recursos humanos (PVP sin IVA)

11.2.2.- Costes en recursos materiales

Partida	Código	Meses uso	Coste unitario (€/mes)	Coste por recurso	Total del paquete de trabajo
Material amortizable primera fase					705€
	Anal. Espectros	0,5	350	175€	
	EZKIT TS101S	5,5	42	231€	
	Ord. Portátil	6,5	46	299€	
Material amortizable segunda fase					1'409€
	Generador RF	0.5	600	300€	
	Anal. Espectros	0.5	350	175€	
	Anal. Redes	1	400	400€	
	EZKIT-TS101S	4.5	42	189€	
	Ord. Portátil	7.5	46	345€	
Total material amortizable					#####2'114€
Material fungible					
	Componentes			300€	
	Prototipo			700€	
	Otros fungibles			1500€	
Total material fungible					#####2'500€
TOTAL (PVP sin IVA)					#####4'614€

Tabla 26: Presupuesto total en recursos materiales (PVP sin IVA)

11.3.- RESUMEN FINAL DEL PRESUPUESTO

Concepto	Precio total
Recursos humanos primera fase	14'088.00€
Recursos humanos segunda fase	32'616.00€
Recursos humanos gestión proyecto	3'120.00€
Total recursos humanos	49'824.00€
Recursos materiales	4'614.00€
Total parcial	54'438.00€
Imprevistos (2%)	1'088.76€
Base imponible	#####55'526.76€
IVA (16%)	8'884.28€
TOTAL PRESUPUESTO (PVP con IVA)	#####64'411.04€

Tabla 27: Resumen final del presupuesto

El coste total de la realización del proyecto DISEÑO E IMPLEMENTACIÓN DE UN PROTOTIPO DE CABECERA BASADA EN DIGITALIZACIÓN SUBNIQUIST PARA RECEPCIÓN DE DRM ha ascendido a la cantidad de SESENTA Y CUATRO MIL CUATROCIENTOS ONCE EUROS Y CUATRO CÉNTIMOS DE EURO.

En Bilbao, julio de 2007

Fdo. Sergio José Sanabria Martín

12.- CONCLUSIONES

El grado de cumplimiento de los objetivos del proyecto, evaluado a través de las pruebas de validación (recogidas en “DOCUMENTO nº 7”) se resume en Tabla 28.

Objetivo	Cumplimiento
Objetivo final	
Desarrollo de una cabecera digital DRM basada al máximo en tratamiento software con DSPs e implementación en un prototipo. La cabecera debe ser capaz de funcionar en tiempo real.	✓
Objetivos principales	
Desarrollo de un modelo teórico para el procesado de señal requerido y validación mediante simulación	✓
Implementación en hardware del procesado de señal de la cabecera	✓
Implementación en software del procesado de señal de la cabecera	✓
Definición de un protocolo de comunicaciones entre cabecera y demodulador	✓
Implementación en software del protocolo de comunicaciones	✓
Objetivos secundarios	
Diseño reutilizable a bandas de frecuencia superiores a las de DRM	✓
Desarrollo de un protocolo extensible a la comunicación entre una cabecera con varios demoduladores, o varias cabeceras con un único demodulador.	✓

Tabla 28: Resumen de objetivos del proyecto y su cumplimiento

Se **cumple el objetivo final de diseño** de desarrollo e implementación de una cabecera en tiempo real basada al máximo en DSPs. Los objetivos principales, que se corresponden a las principales partes de diseño, se verifican al cumplirse el objetivo final.

En cuanto a los objetivos secundarios, el diseño ha validado la técnica de digitalización subniquist como mecanismo para reducir los requerimientos de velocidad de procesado de una cabecera digital introduciendo una mínima distorsión analógica. Esta técnica es extensible a bandas superiores, sin más que añadir nuevos analógicos para capturar porciones de banda superiores. El protocolo de comunicaciones implementado se basa en RTP sobre la pila de protocolos TCP/IP, por lo que está preparado para soportar configuraciones de red con varios equipos.

En cuanto a los **requerimientos** impuestos por el grupo TSR en cuanto a formato de la señal a la salida de la cabecera, y medios y tecnologías a utilizar, se han cumplido todos los puntos necesarios, como se ve en Tabla 29.

Requerimiento	Cumplimiento
Especificaciones para la señal de salida a la salida del procesado	✓
Interfaz de red Ethernet 100 Base Tx	✓
Implementación de módulo de comunicaciones sobre LAN1C111 de SMSC	✓
Utilización de arquitectura de procesado digital TS101S EZ-KIT Lite de Analog Devices	✓

Tabla 29: Resumen de requerimientos impuestos por el cliente y cumplimiento.

Además, se ha realizado un diseño modular, con unas interfaces muy claras entre módulos Hardware, y con un código software perfectamente estructurado en librerías y comentado; por lo que tiene un diseño reutilizable, cumpliéndose los requerimientos impuestos por el alumno.

En “DOCUMENTO nº 2: ESPECIFICACIONES TÉCNICAS” se han estudiado unos **objetivos de calidad** que se traducen en unos requerimientos para la relación señal a ruido de la señal capturada por la cabecera. Se han distinguido unos objetivos ideales para una implementación de un producto comercial, y unos objetivos mínimos para garantizar que la señal recibida sea decodificable por el receptor. El grado de cumplimiento de estos objetivos por parte de los diferentes bloques de la cabecera se detalla en Tabla 30.

Objetivo	$(S/N)_{\text{cabecera}}$	Filtros analógicos	Amplificador de ganancia variable	Convertor analógico digital	Procesado digital
Ideales	> 40dB	✗	✗	✓	✓
Mínimos	> 10dB	✓	✓	✓	✓
	> 15dB	(✓)*	✓	✓	✓

Tabla 30: Resumen de objetivos de calidad para la señal recibida (*: hasta 25.6MHz)

Los objetivos mínimos de calidad para un prototipo de cabecera se cumplen para todos los módulos. Los objetivos ideales para una implementación comercial se cumplen para todas las partes del sistema, exceptuando los filtros analógicos y el amplificador de ganancia variable.

Las **limitaciones** encontradas para estos dos módulos son las siguientes:

- Los filtros analógicos implementados con componentes discretos de tolerancias elevadas presenta un aislamiento bajo y unas pérdidas de inserción que crecen con la frecuencia. En un futuro diseño habrá que plantearse otras técnicas para la fabricación de los filtros.
- El amplificador de ganancia variable utilizado introduce una fuerte componente de distorsión armónica sobre la señal. Se deberá intentar optimizar el circuito en el que se sitúa o buscar un componente electrónico diferente.

12.1.- LÍNEAS DE TRABAJO FUTURAS

Las **líneas de trabajo futuras** del grupo TSR relacionadas con el proyecto realizado son dos:

- Desarrollo de una **cabecera DRM+** con técnicas de digitalización subniquist capaz de capturar señal en una banda de 0 a 120MHz.
- Finalización de los trabajos de desarrollo del **demodulador software**, a fin de completar el proyecto más general del grupo para el diseño e implementación de un receptor DRM completo.

Una posible línea de trabajo adicional consiste en implementar nuevos procesados digitales sobre la cabecera (por ejemplo, un módulo de ecualizado de señal) y procedimientos para obtener mediciones adicionales sobre toda la porción de banda digitalizada.

13.- REFERENCIAS

- [1] "Digital Radio Mondiale Consortium". CONSORCIO DRM. "<http://www.drm.org>".
- [2] ETSI ES 201 980 V1.2.1 "Digital Radio Mondiale (DRM) System Specification". Julio, 2002.
- [3] "Grupo de Tratamiento de la Señal y Radiocomunicaciones (TSR)". Departamento de Electrónica y Telecomunicaciones (DET). Escuela Técnica Superior de Ingeniería (E.T.S.I.) de Bilbao. Universidad del País Vasco (UPV-EHU) "<http://www.ehu.es/tsr/>".
- [4] Iratxo Pichel Ortiz. PFC: "Diseño y planificación de la implementación de un receptor DRM de instrumentación". E.T.S.I. Bilbao. UPV-EHU. Noviembre 2003.
- [5] Ander Viteri Pérez de San Román. PFC: "Diseño e implementación de una cabecera digital para un receptor DRM de instrumentación basada en DSP". E.T.S.I. Bilbao. UPV-EHU. Agosto 2006.
- [6] Ibai Hormaza Sáenzmiera, José Ignacio Sánchez Sánchez. "PFC: Diseño e implementación de un receptor software de señales de DRM". E.T.S.I. Bilbao. UPV-EHU. Mayo 2003.
- [7] "Grupo de Investigación en Electrónica Aplicada (APERT: Applied Electronics Research Team)". DET. E.T.S.I. Bilbao. UPV-EHU. "<http://det.bi.ehu.es/~apert/>".
- [8] Estándares sobre redes LAN Ethernet IEEE 802.3
- [9] R. Groshong y S. Ruscack, "Undersampling Techniques Simplify Digital Radio", Electronic Design, 23 de Mayo de 1991, páginas 67 -75
- [10] "Putting Undersampling to Work"; Pentek, Inc. Mayo 2005. Disponible en "www.pentek.com".
- [11] H. Schulzrinne, S. Casner, R. Frederick y V. Jacobson, "RTP: A Transport Protocol for Real-Time Applications", RFC 3550, Julio 2003.
- [12] "Digital Radio Mondiale (DRM): Receiver Status and Control Interface (RSCI)", ETSI TS 102 349 v1.1.1, European Broadcasting Union, Enero 2005
- [13] "Digital Radio Mondiale (DRM): Distribution and Communications Protocol (DCP)", ETSI TS 102-821 v1.1.1, European Broadcasting Union, Diciembre 2003.
- [14] James F. Kurose, Keith W. Ross, "Redes de computadores – Un enfoque descendente basado en Internet", Pearson Addison Wesley, 2003
- [15] TigerSHARC ADSP-TS101S Hardware Reference Datasheet. Analog Devices, 2003
- [16] Farnell Components, S.L. "<http://www.farnell.com/es>"
- [17] RS Amidata S.A. "<http://www.amidata.es>"
- [18] Kelan Elektronika S.A. "<http://www.kelan.com>"

14.- ANEXOS

ANEXO 1 - Especificaciones de la señal de salida de la cabecera DRM	68
ANEXO 2 - Introducción básica de la técnica de inframuestreo	70
ANEXO 3 - Planos resumidos del diseño.....	71

ANEXO 1 - Especificaciones de la señal de salida de la cabecera DRM

A continuación se recogen las especificaciones impuestas para la señal de salida de la cabecera DRM por parte del grupo de investigación TSR, a fin de que todas las partes implicadas en el proyecto global de desarrollo de un receptor DRM manejen una estructura de datos común. Los requerimientos se recogen en Tabla 31:

Parámetro	Requerimiento
Tipo de señal	Señal digital. Deberán proporcionarse de forma separada las muestras I y Q [5]
Frecuencia de muestreo	48kHz [4]
Canalización	Véase Figura 26 .
Rango mínimo de valores f_{ref}	De 500 kHz a 29 MHz
Ancho de banda a la salida	20kHz . Se transmite siempre esta canalización, que es la que mayor ancho de banda ocupa entre los tipos contemplados por el estándar DRM. Para una emisión con una canalización más estrecha, el demodulador software lleva a cabo el procesado adicional para obtener la porción de espectro requerido.
Precisión en la digitalización	14 bits [5]
Precisión en las muestras tras el procesado	32 bits con un formato estándar . Se recomienda utilizar "IEEE 32-bit Single-Precision Floating-Point" (Coma flotante de 32 bits).

Tabla 31: Especificaciones de la señal de salida de la cabecera digital

En Figura 26 se indican las canalizaciones contempladas por el sistema DRM [2] . Asimismo se especifica la canalización deseada para la señal obtenida por la cabecera tras el procesado.

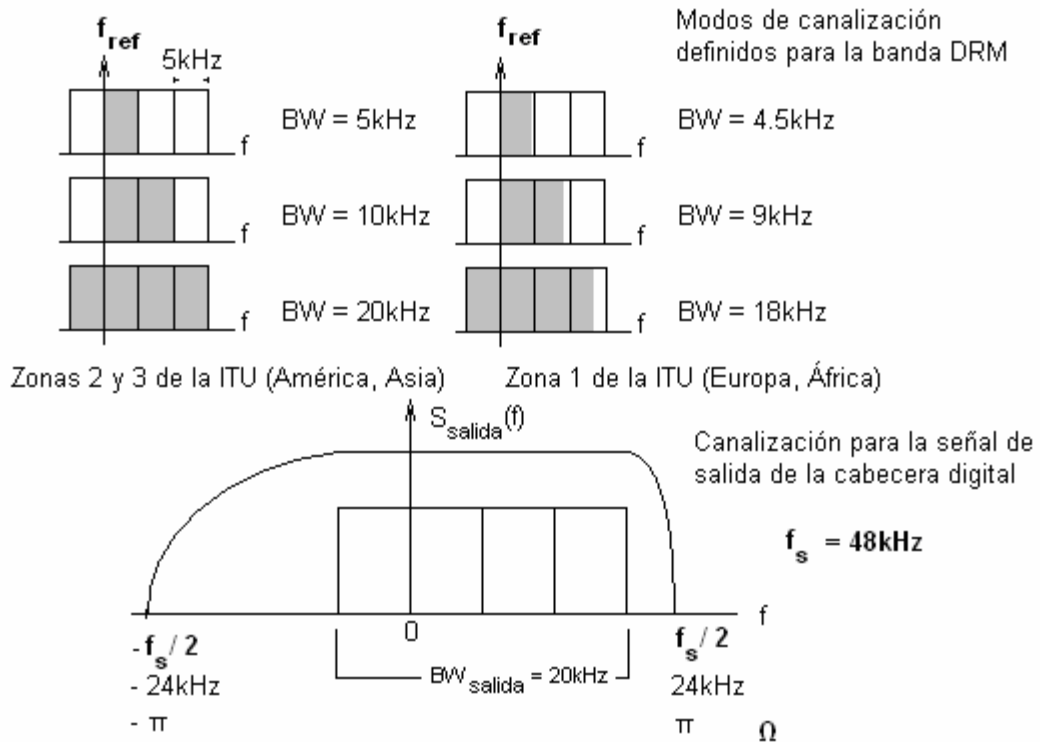


Figura 26: Especificación de la señal de salida de la cabecera

Tal como se ve en Figura 26, el espectro deseado no presenta simetría, lo que justifica la aparición de muestras reales (I) y complejas (Q). La relación de Nyquist estipula que:

$$f_s = 2 \cdot f_{\max}$$

Ecuación 1: Relación de Nyquist para señal en Banda Base

, donde f_{\max} es la frecuencia máxima que se puede digitalizar sin distorsión. Para $f_s=48\text{kHz}$, $f_{\max}=24\text{kHz}$. Por lo que, como se ve, existe un cierto margen de guarda respecto al ancho de banda de salida.

ANEXO 2 - Introducción básica de la técnica de inframuestreo

El diseño utiliza técnicas de **inframuestreo (digitalización subnyquist o undersampling)** [9] basadas en un análisis más general del criterio de Nyquist, tradicionalmente entendido exclusivamente para digitalización de señales en banda base (Ecuación 1). Una señal $x(t)$ digitalizada con frecuencia de muestro f_s presenta el siguiente espectro:

$$x[n] = x(t \cdot T_s); T_s = \frac{1}{f_s} \quad \rightarrow \quad X(\Omega) = X(\omega T_s) = \frac{1}{T_s} \sum_k X_a \left(\omega - k \cdot \frac{2\pi}{T_s} \right)$$

Ecuación 2: Espectro de una señal digital

Gráficamente implica un espectro repetitivo de período f_s . Por lo que basta con trabajar pues, con un único período, que se corresponde típicamente al rango de frecuencias $-f_s/2$ a $f_s/2$ (en señales reales, debido a la simetría, basta con representar de 0 a $f_s/2$). En ese rango al muestrear se produce solapamiento (aliasing) de las componentes frecuenciales presentes en las **zonas de Nyquist** $[0, f_s/2]$, $[f_s/2, f_s]$, ..., $[i \cdot f_s/2, (i+1) \cdot f_s/2]$. Si i es par, además, el espectro aparece reflejado respecto al eje $f = i \cdot f_s/2$. Un modelo sencillo de visualizar es el de la hoja de papel que se pliega sobre sí misma [10] :

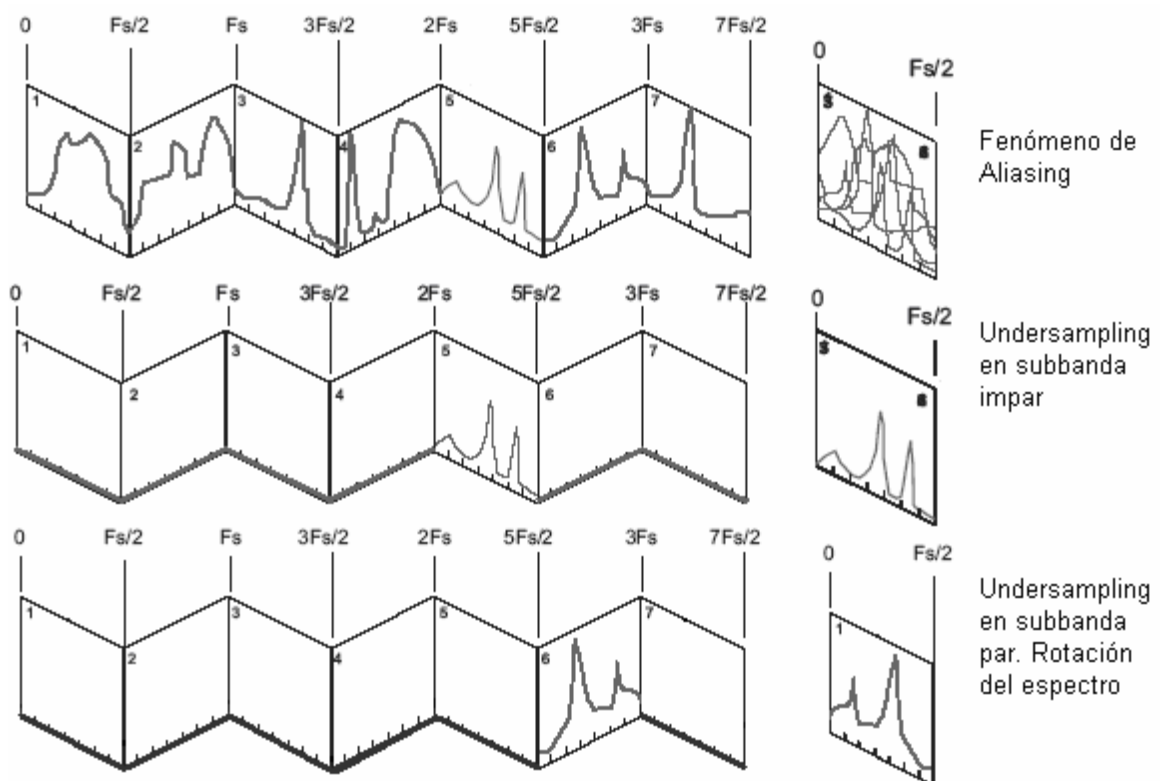


Figura 27: Fundamento teórico del Inframuestreo (fuente [10])

En el segundo gráfico se ve además un ejemplo de cómo es posible llevar a cabo el **paso a banda base de una señal RF pasobanda** utilizando esta propiedad. La solución de digitalización de toda la banda [5] , implicaría muestrear la señal a $f_s = i \cdot F_s$, y luego llevar a cabo un procesamiento software de la misma. Sin embargo se ve que filtrando todas las zonas de Nyquist menos la deseada y digitalizando a $f_s = F_s$ se traslada esta última a banda base de forma directa, trabajándose con un flujo de muestras i veces menor que en el caso anterior (**inframuestreo**). Este tipo de técnicas se han empleado en el diseño de la cabecera.

Las dos etapas principales para un procesado con **inframuestreo** genérico son:

- **Filtrado analógico** de la zona de Nyquist deseada y digitalización de la señal.
- **Procesado digital (software)** de la subbanda muestreada para obtener las muestras del canal deseado y deshacer, si se ha producido, el efecto de reflexión del espectro.

ANEXO 3 - Planos resumidos del diseño

En este apartado se recogen unos esquemas simplificados del diseño de la cabecera digital en base a la descripción que se efectúa en el Apartado 8.-

Se incluyen los siguientes diagramas de bloques:

Figura 28: Resumen del diseño hardware completo de la cabecera

Figura 29: Diseño software completo de la cabecera

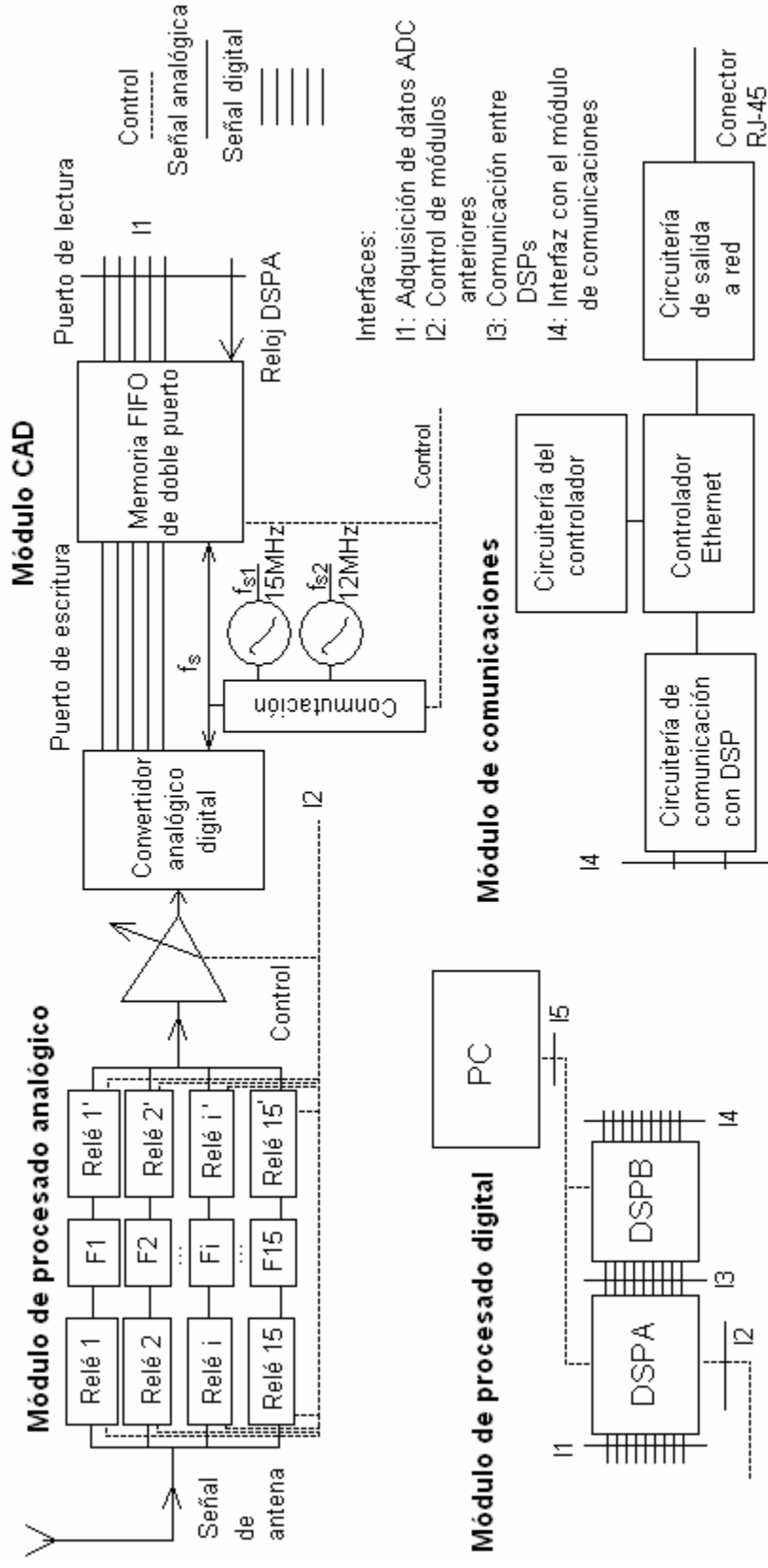
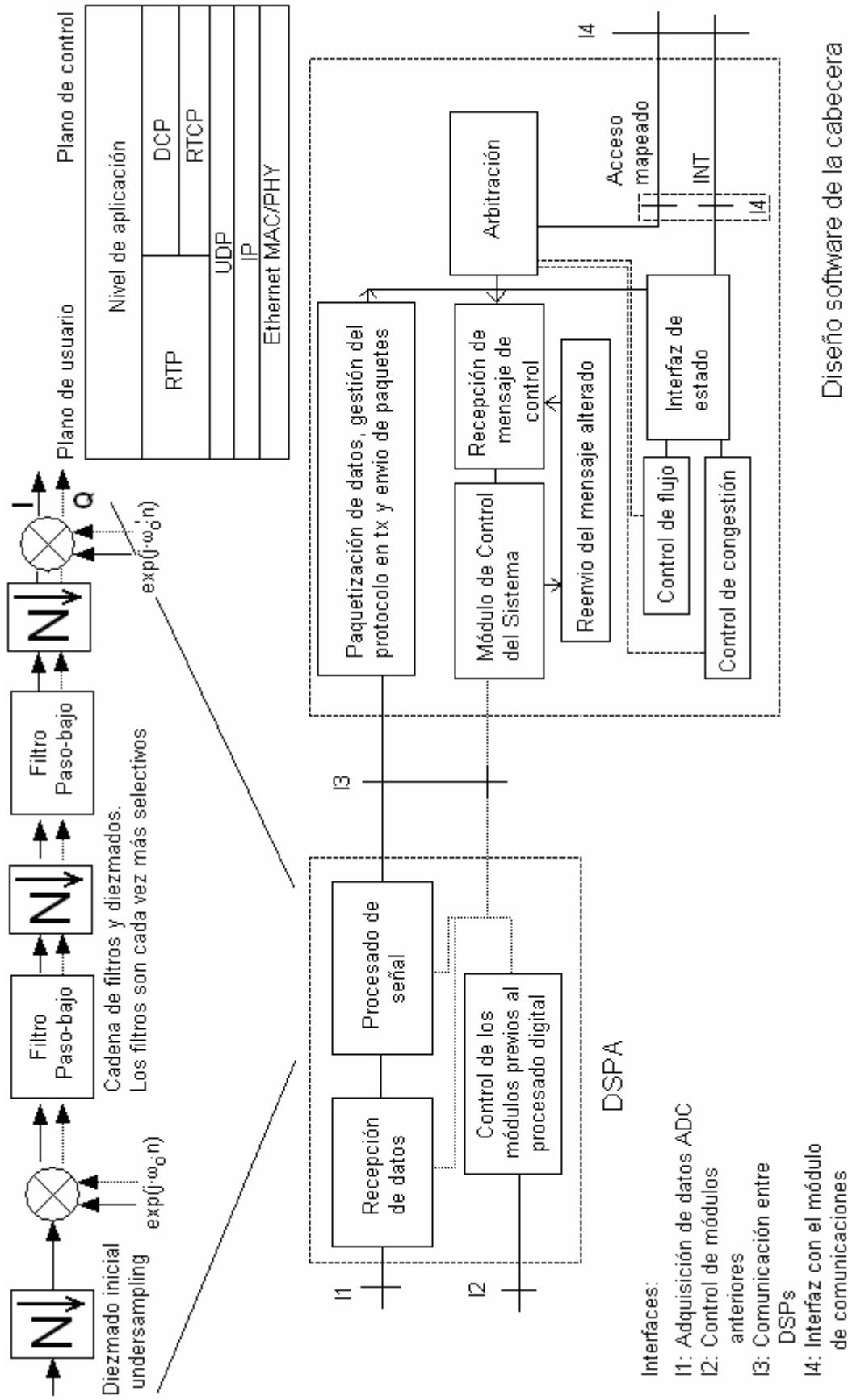


Figura 28: Resumen del diseño hardware completo de la cabecera



Diseño software de la cabecera

Figura 29: Diseño software completo de la cabecera